



十速

TM52F2280/80B/84/84B

规格书

Rev 0.93

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.

修改纪录

版次	生效日	修订内容概要
V0.90	Jun,2015	新颁。
V0.91	Nov, 2015	Add LVR1/POR vs Temperature Diagram (page 88) Add SRC Diagram (page 87)
V0.92	Mar, 2016	Modify ICE Mode Connection Diagram (page 70)
V0.93	Mar, 2017	1. LED DC mode description (p8, p60, p85) 2. modify Flash endurance (p17) 3. VCON limitation in ICE mode (p23) 4. add Stop mode description (p30, p35) 5. other details

目录

修改纪录.....	2
TM52 F22xx 家族.....	5
概述.....	6
系统框图.....	6
基本功能.....	7
引脚圖.....	10
引脚描述.....	11
引脚汇总.....	12
功能描述.....	14
1. CPU 核心.....	14
1.1 累加器 (ACC).....	14
1.2 B 寄存器 (B).....	14
1.3 堆栈指针 (SP).....	14
1.4 数据指针 (DPTRs).....	15
1.5 程序状态字 (PSW).....	16
2. 存储器 (Memory).....	17
2.1 闪存程序存储器 (Flash Program Memory).....	17
2.2 数据存储器 (Data Memory).....	20
3. 电源管理.....	22
4. 复位 (Reset).....	25
4.1 上电复位 (Power on Reset).....	25
4.2 外部引脚复位 (External Pin Reset).....	25
4.3 软件复位 (Software Reset).....	25
4.4 看门狗定时器复位 (Watch Dog Timer Reset).....	25
4.5 低电压复位#1 (LVR1).....	25
4.6 低电压复位#2 (LVR2).....	25
5. 时钟电路和工作模式.....	27
5.1 系统时钟 (System Clock).....	27
5.2 操作模式 (Operation Modes).....	30
6. 中断 (Interrupt) 和唤醒 (Wake-up).....	31
6.1 中断使能和优先级控制.....	31
6.2 引脚中断.....	34



6.3 空闲模式唤醒和中断.....	35
6.4 停止模式唤醒和中断.....	35
7. I/O 端口.....	37
7.1 Port1 和 Port3	37
7.2 P2.7.....	42
7.3 P2.6~P2.0 和 Port0.....	42
8. Timers.....	45
8.1 Timer0 / Timer1	45
8.2 Timer2	47
8.3 Timer3	48
8.4 T1O, T1B 和 T2O 输出控制	50
9. UART	51
10. 阻频转换器 (RFC)	53
11. LCD 驱动器	56
12. LED 驱动器	60
13. 触摸按键 (仅 F2280/80B)	61
14. Serial Peripheral Interface (SPI)	65
15. 6-bit SAR ADC	69
16. 在线仿真器 (ICE) 模式	70
SFR & CFGW 映像	71
SFR & CFGW 说明	73
指令集.....	82
电气特性.....	85
最大绝对额定值.....	85
DC 特性	85
带隙基准电压.....	86
时钟时序.....	86
LVR1/POR 电平	88
封装说明.....	89
订购须知.....	89
包装信息.....	90

TM52 F22xx 家族

共同特性

CPU	闪存程序 memory	RAM bytes	双时钟	工作模式	Timer0 Timer1 Timer2	UART	Real-time Timer3	LBD	LVR
Fast 8051 (2T)	8K~32K with IAP, ISP, ICP	512 ~ 2304	SXT SRC FXT FRC	Fast Slow Idle Stop	8051标准		0.5~61ppm 可调	2.4V ~ 3.1V	1.6V

家族成员特性

P/N	Flash	RAM bytes	IO Pin	RFC ADC	SAR ADC	Touch Key	LCD	LED	SPI	others
TM52-F2261	16K	768	32	3-ch	-	14-ch	43 x 10 1.0~1.5V adj.-Bias	30x6 40mA hi- Sink	Yes	-
TM52-F2264						-				
TM52-F2260	16K	1280	25	3-ch	-	-	36 x 4 1.0V bias	-	-	-
TM52-F2280B	8K	512	32	3-ch	6bit 7-ch	15-ch	23 x 8 1.0~1.5V adj.-Bias	10x4 40mA hi- Sink	Yes	-
TM52-F2284B						-				
TM52-F2230	32K	2304	32	3-ch	6bit 7-ch	15-ch	-	-	Yes	PWM

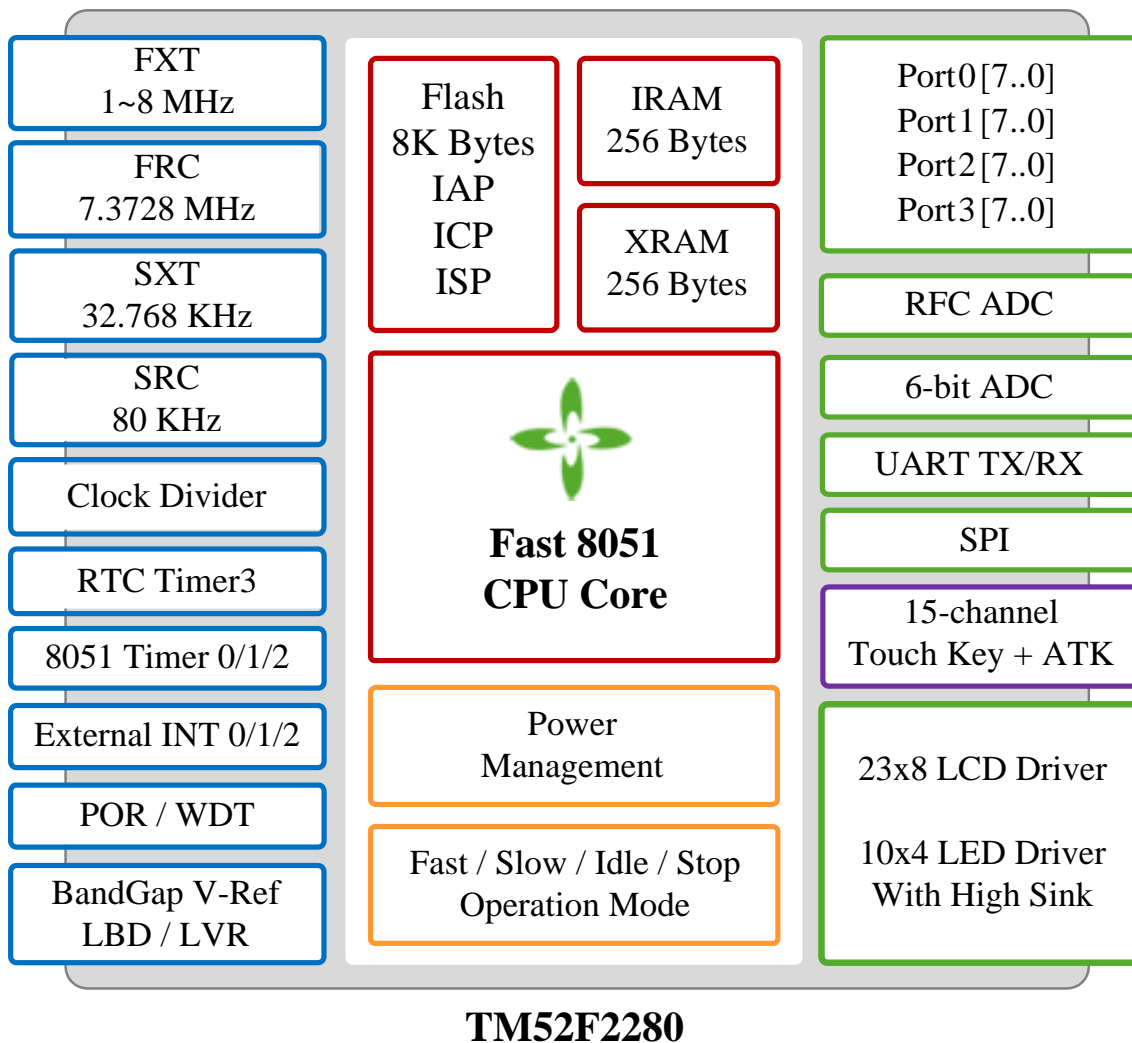
P/N	Operation Voltage	Idle Mode Current ($V_{BAT}=3V$) with 32KHz wake-up & LVR On				Max. System Clock (Hz)			
		TK Off LCD Off	TK Off LCD On	TK On LCD Off	TK On LCD On	SXT	SRC	FXT	FRC
TM52-F2261	2.0~4.2V	0.8uA	1.4uA	1.3uA	1.9uA	32K	-	-	4M
TM52-F2264				-	-				
TM52-F2260	2.0~4.2V	0.7uA	1.0uA	-	-	32K	-	-	4M
TM52-F2280B	2.0~5.5V	1.3uA	2.4uA	1.7uA	2.8uA	32K	80K	8M	7.37M
TM52-F2284B				-	-				
TM52-F2230	2.0~5.5V	1.0uA	-	1.5uA	-	32K	80K	8M	7.37M

概述

TM52-F2280/80B/84/84B 是一个新的，快速的 8051 架构, C 语言作为开发平台, 与业界标准 8051 指令集完全兼容的 8 位单片机, 并保持了 8051 外围功能模块。通常情况下, **TM52** 芯片执行指令, 比传统的 8051 架构快六倍。

TM52-F2280/80B/84/84B 通过集成多种功能在芯片上, 提供更高的性能, 更低的成本, 能快速进入市场, 包括 8K 字节的闪存(Flash)程序存储器, 512 字节 SRAM, 低电压复位(LVR1/2), 低电池电压检测(LBD), 双时钟省电工作模式, SPI 接口, 8051 标准 UART 和定时器 Timer0/1/2, 可调实时计时器 Timer3, LCD/LED 驱动器, 15 通道触摸按键(内含 4 个硬件自动工作与唤醒的 ATK 通道), 6 位元 ADC, 阻频转换器(RFC)和看门狗定时器(WDT)。它的高可靠性和低功耗的特性, 可广泛适用于消费电子和家电类产品。

系统框图



基本功能

1. **标准 8051 指令集, 快速的指令周期**
 - 指令执行比传统 8051 快六倍
2. **8K 字节闪存(Flash) 程序存储器**
 - 支持 ICP(在线编程)或 ISP(在系统编程)的闪存程序码更新方式
 - IAP(在应用编程)模式可以作为 EEPROM 使用, 以字节的方式存取(Byte Read/Write)
 - 程序码保护功能
3. **总计 512 字节 SRAM (IRAM + XRAM)**
 - 256 字节 IRAM 在 8051 内部数据存储区
 - 256 字节 XRAM 在 8051 外部数据存储区(由 MOVX 指令存取)
4. **5 种系统时钟(System Clock)类型选择**
 - 快时钟使用外部晶振(FXT, 1~8 MHz)
 - 快时钟使用内部 RC(FRC, 7.3728 MHz @ $V_{BAT} = 2.2V \sim 5.5V$)
 - 快时钟使用外部 RC(RFC)
 - 慢时钟使用外部晶振(SXT, 32768Hz)
 - 慢时钟使用内部 RC(SRC, 80KHz @ $V_{DD} = 3V$, 40KHz @ $V_{DD} = 1.5V$)
 - 系统时钟可以通过 1/2/4/8/16/32 选项除频
 - 系统时钟引脚输出(TCO)
5. **8051 标准定时器– Timer0 / Timer1 / Timer2**
 - 16 位 Timer0, 支持 RFC 时钟输入计数
 - 16 位 Timer1, 支持 T1O/T1B 引脚时钟输出
 - 16 位 Timer2, 支持 T2O 引脚时钟输出
6. **23 位 Timer3 用于实时 32768Hz 晶体计数**
 - 中断速率可於 $\pm 0.5ppm \sim 61ppm$ 范围调整
 - MSB 8 位的溢出自动重载
 - 0.25 秒, 0.5 秒, 1.0 秒或溢出中断
7. **15-通道触摸按键(Touch Key) (仅 F2280/80B)**
 - 1~4 按键 H/W 自动扫描(ATK), 个别键可灵敏度调节
 - 按键可中断/唤醒 CPU
8. **6-bit ADC**
 - 最高 100KHz 转换速率
9. **阻频转换器(RFC)**
 - RFC 时钟除以 1/4/16/64 信号可以被指定为 Timer0 事件计数输入
 - RFC 时钟可以作为系统时钟源

10. 8051 标准 UART

- 单线 (One Wire) UART 选项可用于 ISP 或其它应用

11. SPI 介面

- 主或从模式选择
- 可编程的传输比特率
- 可选择串行时钟相位和极性
- 可选择 MSB 优先或 LSB 优先

12. 11 来源, 4 中断优先级 (Interrupt Priority)

- Timer0/Timer1/Timer2/Timer3 中断
- INT0/INT1 下降沿/低电平中断
- Port1 引脚电平变化中断
- UART TX/RX 中断
- P2.7 (INT2) 中断
- 触摸按键中断
- SPI 中断

13. 引脚中断能将停止模式 (Stop Mode) 下的 CPU 唤醒

- P3.2/P3.3 (INT0/INT1) 中断和唤醒
- P2.7 (INT2) 中断和唤醒
- Port1 每个引脚可以定义为唤醒和中断引脚 (通过引脚电平变化)

14. 最大 32 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏 (Pseudo-Open-Drain) 或开漏 (Open-Drain) 输出
- 施密特触发输入
- 引脚上拉电阻可以使能或禁止

15. LCD 控制器/驱动器

- 1/3 ~ 1/8 占空比
- 3 ~ 8 COM 與 10 ~ 27 SEG 可选择
- VLCD (VL3) = VBAT*3/5 ~ VBAT*5/5 (16 阶亮度可调)
- 1/3 LCD 偏压, VL1 = VLCD/3, VL2 = VLCD*2/3
- 帧速率 (Frame Rate) : 40~90Hz

16. LED 控制器/驱动器

- 1/3 ~ 1/4 占空比
- 最多 4 COM x 10 SEG
- LED COM 低电平 40 mA 电流输出 (High Sink)
- 高电平或低电平有效的 SEG 输出 (所有 SEG 引脚都支持直流电平输出)

17. 带隙 (Bandgap) 基准电压源的低电池电量检测 (LBD)

- 检测 V_{BAT} 电平从 2.4V 到 4.5V

18. 超低功耗的芯片内部电源 (V_{DD}) 稳压器 (LDO)

- V_{DD} 电压可以设定为 $0.4 \cdot V_{BAT} \sim 0.66 \cdot V_{BAT}$ 的不同电平

19. 看门狗定时器 (Watch Dog Timer, WDT) 以系统时钟计数

- 在 Fast / Slow Mode 运行, 在 Idle / Stop Mode 计数停止
- 32K 或 64K 计数溢出复位

20. 6 种复位 (Reset)

- 上电复位
- 可选的外部引脚 (P2.7) 复位
- 可选的看门狗复位
- 软件命令复位 (S/W Command Reset)
- 可选的低电池电压复位#1 (LVR1, when $V_{BAT} < 1.6V$)
- 可选的低电池电压复位#2 (LVR2, when $V_{BAT} < 2.4V \sim 4.5V$)

21. 4 种电源工作模式

- 快钟 (Fast) 模式/慢钟 (Slow) 模式/空闲 (Idle) 模式/停止 (Stop) 模式

22. 在板仿真/ICE 接口

- 使用 P1.2/P1.3 引脚, 与 ICP 编程引脚共用

23. 工作电压和电流

- $V_{BAT} = 2.0V \sim 5.5V$
- 1.1uA LCD 电流 @ $V_{BAT} = 3V$
- 0.1uA LVR1 电流 @ $V_{BAT} = 3V$
- 1.1uA SXT/SRC 和系统时钟电流 @ $V_{DD} = 1.5V$
- 0.5uA 触摸按键 (ATK) 电流 @ $V_{BAT} = 3V$
- 总计 2.8uA Idle 模式电流, 包括 LCD 開啟, LVR1 開啟以及 ATK 扫描 @ $V_{BAT} = 3V, V_{DD} = 1.5V$

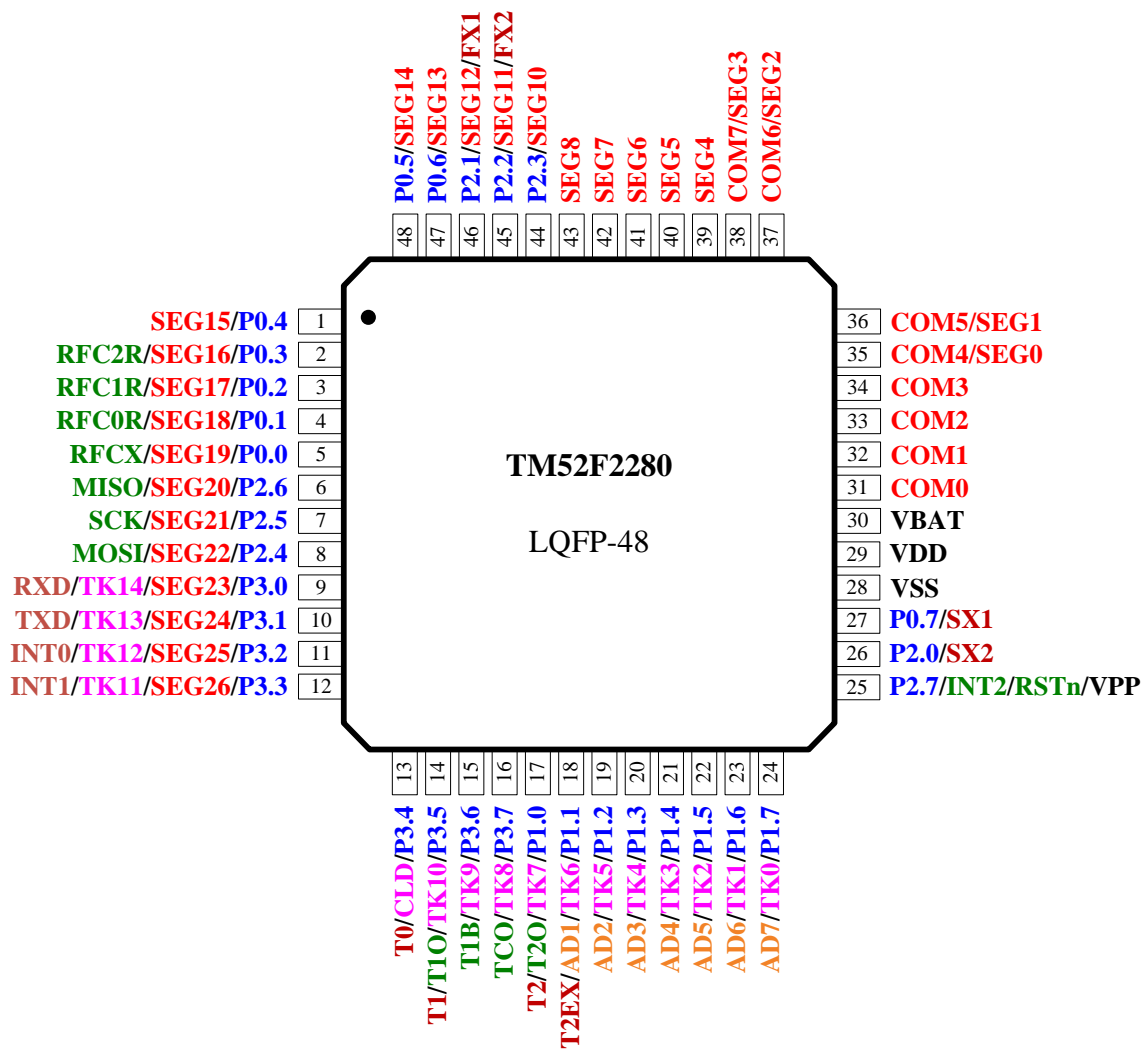
24. 工作温度范围

- $-40^{\circ}C \sim +85^{\circ}C$

25. 48-pin LQFP 封装
F2280 / F2280B / F2284 / F2284B 芯片比较表

功能	F2280	F2284	F2280B	F2284B
触摸按键	有	无	有	无
IAP 写入控制	无 IAPWE 限制		需先将 IAPWE 解锁后, 方可 IAP 写入	
最高系统时钟	6 MHz, 或 FRC/2		8 MHz, 或 FRC/1	

引脚圖



引脚描述

Name	In/Out	Pin Description
P1.0~P1.7	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏 (open drain) 输出。上拉电阻是由软件选择。这些引脚的电平变化可以唤醒 CPU 的 Idle / Stop 模式。
P3.0~P3.2	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或伪开漏 (pseudo open drain) 输出。上拉电阻是由软件选择。
P3.3~P3.7	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件选择。
P0.0~P0.7 P2.0~P2.6	I/O	位编程输入/输出端口, 可施密特触发输入或 CMOS 推挽输出。上拉电阻是由软件选择。
P2.7	I/O	位编程输入/输出端口, 可施密特触发输入或开漏输出。固定上拉电阻。
INT0, INT1	I	外部低电平或下降沿中断输入, Idle / Stop 模式唤醒引脚输入
INT2	I	外部下降沿中断输入, Idle / Stop 模式唤醒引脚输入
RXD	I/O	UART 模式 0 数据发送及接收, 模式 1/2/3 数据接收
TXD	I/O	UART 模式 0 时钟发送, 模式 1/2/3 数据发送。在单线 UART 模式时, 该引脚发送和接收串行数据。
MISO	I/O	SPI 主控模式下数据输入, 从属模式为数据输出
MOSI	I/O	SPI 主控模式下数据输出, 从属模式为数据输入
SCK	I/O	SPI 主控模式之时钟输出或从属模式之时钟输入
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T2EX	I	Timer2 外部触发输入
T1O, T1B	O	Timer1 溢出除以 2/3/4 之正和负信号对输出
T2O	O	Timer2 溢出除以 2/3/4 输出
TCO	O	系统时钟除以 1/2/3/4 输出
RFC0R~RFC2R	O	RFC 电阻连接引脚
RFCX	I	RFC 时钟输入引脚
SEG0~SEG9	O	LCD/LED SEG 输出
SEG10~SEG26	O	LCD SEG 输出
COM0~COM3	O	LCD/LED COM 输出
COM4~COM7	O	LCD COM 输出
AD1~AD7	I	6 位 ADC 输入
TK0~TK14	I	触摸按键输入 (F2280/80B)
CLD	I/O	触摸按键电荷收集电容器连接引脚 (F2280/80B)
RSTn	I	外部低电平有效的复位输入
SX1, SX2	-	32768Hz (SXT) 晶体/陶瓷振荡器连接引脚
FX1, FX2	-	1~8 MHz (FXT) 晶体/陶瓷振荡器连接引脚
VPP	I	Flash 编程高电压输入
VDD	-	供内部电源使用的 LDO 稳压器引脚, 需要加 1uF 的电容到 V _{SS}
VBAT, VSS	P	电源输入引脚和地, VBAT 是 I/O 引脚的电源

注: 数位 I/O 引脚的电压摆幅从 V_{SS} 到 V_{BAT}。

引脚汇总

LQFP-48	引脚名称	Type	复位后		输入		输出			交替功能					
			Function	State	Wake up	Ext. Interrupt	CMOS P.P.	P.O.D.	O.D.	LCD	LED	Touch Key	ADC Input	Timer Input	Others
1	SEG15/P0.4	I/O	LCD	DL			•			•					
2	RFC2R/SEG16/P0.3	I/O	LCD	DL			•			•					RFC
3	RFC1R/SEG17/P0.2	I/O	LCD	DL			•			•					RFC
4	RFC0R/SEG18/P0.1	I/O	LCD	DL			•			•					RFC
5	RFCX/SEG19/P0.0	I/O	LCD	DL			•			•			•		RFC
6	MISO/SEG20/P2.6	I/O	LCD	DL			•			•					SPI
7	SCK/SEG21/P2.5	I/O	LCD	DL			•			•					SPI
8	MOSI/SEG22/P2.4	I/O	LCD	DL			•			•					SPI
9	RXD/TK14/SEG23/P3.0	I/O	LCD	DL			•	•		•		•			UART
10	TXD/TK13/SEG24/P3.1	I/O	LCD	DL			•	•		•		•			UART
11	INT0/TK12/SEG25/P3.2	I/O	LCD	DL	•	•	•	•		•		•			
12	INT1/TK11/SEG26/P3.3	I/O	LCD	DL	•	•	•		•	•		•			
13	T0/CLD/P3.4	I/O	I/O Input	PU			•		•			•		•	
14	T1/T10/TK10/P3.5	I/O	I/O Input	PU			•		•			•		•	Clock out
15	T1B/TK9/P3.6	I/O	I/O Input	PU			•		•			•			Clock out
16	TCO/TK8/P3.7	I/O	I/O Input	PU			•		•			•			Clock out
17	T2/T20/TK7/P1.0	I/O	I/O Input	PU	•	•	•		•			•		•	Clock out
18	T2EX/AD1/TK6/P1.1	I/O	I/O Input	PU	•	•	•		•			•	•	•	
19	AD2/TK5/P1.2	I/O	I/O Input	PU	•	•	•		•			•	•		
20	AD3/TK4/P1.3	I/O	I/O Input	PU	•	•	•		•			•	•		
21	AD4/TK3/P1.4	I/O	I/O Input	PU	•	•	•		•			•	•		
22	AD5/TK2/P1.5	I/O	I/O Input	PU	•	•	•		•			•	•		
23	AD6/TK1/P1.6	I/O	I/O Input	PU	•	•	•		•			•	•		
24	AD7/TK0/P1.7	I/O	I/O Input	PU	•	•	•		•			•	•		
25	VPP/RSTn/INT2/P2.7	I/O	I/O Input	PU	•	•			•						Reset/VPP
26	SX2/P2.0	I/O	I/O Input	PU			•								SXT
27	SX1/P0.7	I/O	I/O Input	PU			•								SXT
28	VSS	P	V _{SS}	-											
29	VDD	-	V _{DD}	-											
30	VBAT	P	V _{BAT}	-											

LQFP-48	引脚名称	Type	复位后		输入		输出			交替功能					
			Function	State	Wake up	Ext. Interrupt	CMOS P.P.	P.O.D.	O.D.	LCD	LED	Touch-Key	Clock Output	Timer Input	Others Misc.
31	COM0	O	LCD	DL						•	•				
32	COM1	O	LCD	DL						•	•				
33	COM2	O	LCD	DL						•	•				
34	COM3	O	LCD	DL						•	•				
35	SEG0/COM4	O	LCD	DL						•	•				
36	SEG1/COM5	O	LCD	DL						•	•				
37	SEG2/COM6	O	LCD	DL						•	•				
38	SEG3/COM7	O	LCD	DL						•	•				
39	SEG4	O	LCD	DL						•	•				
40	SEG5	O	LCD	DL						•	•				
41	SEG6	O	LCD	DL						•	•				
42	SEG7	O	LCD	DL						•	•				
43	SEG8	O	LCD	DL						•	•				
-	SEG9	O	LCD	DL						•	•				
44	SEG10/P2.3	I/O	LCD	DL			•			•					
45	FX2/SEG11/P2.2	I/O	LCD	DL			•			•					FXT
46	FX1/SEG12/P2.1	I/O	LCD	DL			•			•					FXT
47	SEG13/P0.6	I/O	LCD	DL			•			•					
48	SEG14/P0.5	I/O	LCD	DL			•			•					

Symbol:

P.P. = CMOS Push-Pull Output

O.D. = Open Drain

P.O.D. = Pseudo Open Drain

PU = Pull up

DL = Drive Low

功能描述

1. CPU 核心

采用 8051 的架构,C 语言作为开发平台。TM52 芯片拥有一个快速 8051 内核的高度集成微控制器,可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码,以确保一个简单的移植路径,以加快系统产品的开发速度。CPU 核心包括了 ALU, 程序状态字 (PSW), 累加器 (ACC), B 寄存器, 堆栈指针 (SP), 数据指针 (DPTR), 编程计数器 (PC), 指令译码器, 以及核心的特殊功能寄存器 (SFR)。

1.1 累加器 (ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中,累加器被表示为 “A” 或 “ACC”, 包括指令表。累加器, 正如其名称所示, 被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要, 最频繁使用的寄存器。它保存大多数算术和逻辑运算的中间结果, 以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC: 累加器

1.2 B 寄存器 (B)

“B”寄存器和 ACC 是非常相似的,可容纳 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则,它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令, MUL 和 DIV。当 A 乘或除以另一个数, 结果数存储在 B。对于 MUL 和 DIV 指令, 有必要将这两个运算数放在 A 和 B。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B: B 寄存器

1.3 堆栈指针 (SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 SP: 堆栈指针

1.4 数据指针 (DPTRs)

TM52 芯片有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 有两个数据指针寄存器: 高字节 (DPH) 和低字节 (DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL:** 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH:** 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	–	–	–	TKSOC	CLRWDT	CLRTM3	STPRFC	DPSEL
R/W	–	–	–	R/W	R/W	R/W	R/W	R/W
Reset	–	–	–	0	0	0	0	0

F8h.0 **DPSEL:** 运行之DPTR切换

1.5 程序状态字 (PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

Instruction	Flag			Instruction	Flag		
	C	OV	AC		C	OV	AC
ADD	X	X	X	CLR C	0		
ADDC	X	X	X	CPL C	X		
SUBB	X	X	X	ANL C, bit	X		
MUL	0	X		ANL C, /bit	X		
DIV	0	X		ORL C, bit	X		
DA	X			ORL C, /bit	X		
RRC	X			MOV C, bit	X		
RLC	X			CJNE	X		
SETB C	1						

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**: ALU 进位标志

D0h.6 **AC**: ALU 辅助进位标志

D0h.5 **F0**: 通用的使用者定义标志

D0h.4~3 **RS1, RS0**: (RS1, RS0) 的内容所启动之工作寄存器存储区为:

00: 存储区 0 (00h~07h)

01: 存储区 1 (08h~0Fh)

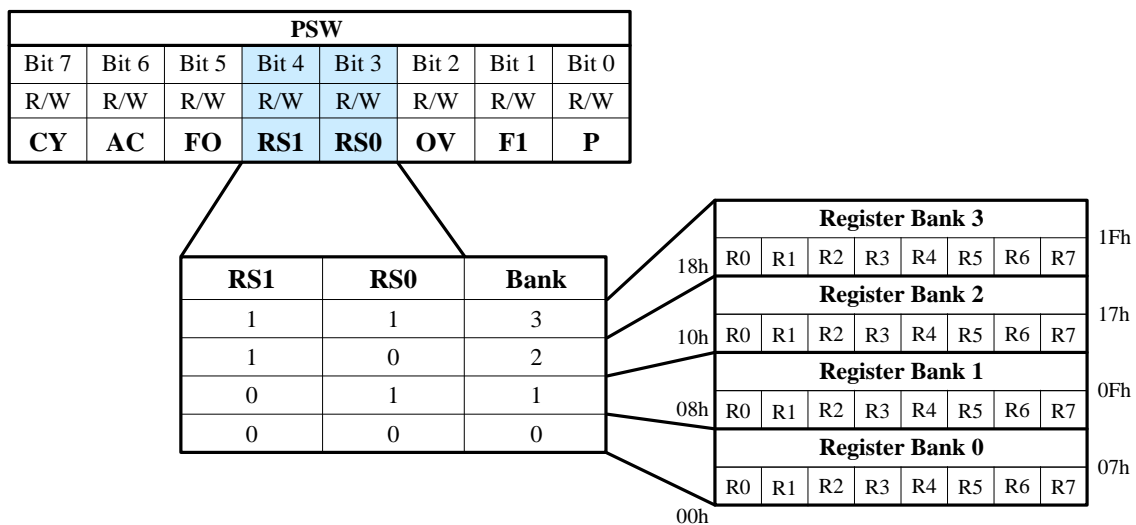
10: 存储区 2 (10h~17h)

11: 存储区 3 (18h~1Fh)

D0h.2 **OV**: ALU 溢出标志

D0h.1 **F1**: 通用的使用者定义标志

D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



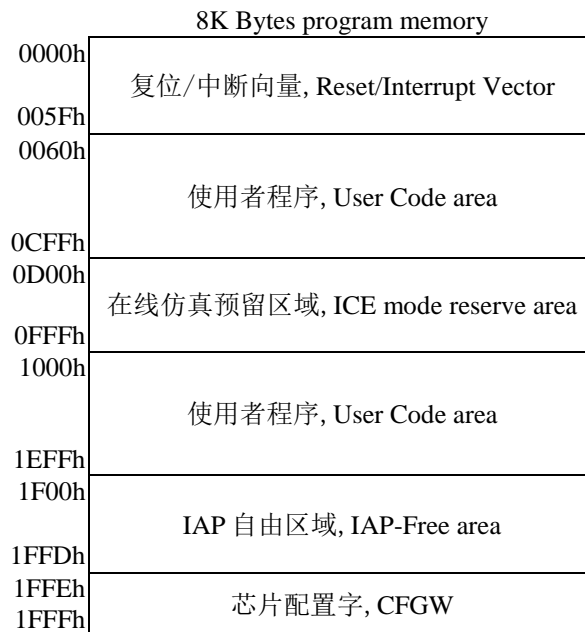
2. 存储器 (Memory)

2.1 闪存程序存储器 (Flash Program Memory)

F2280/80B/84/84B 有 8K 字节的闪存程序存储器, 可支持在线编程 (ICP), 在应用编程 (IAP) 和在系统编程 (ISP) 功能模式。此 Flash 可反复擦写至少 50K 次以上。闪存程序存储器的地址空间 (0000h~1FFFh) 被划分为多个扇区操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 2 个字节 (1FFEh~1FFFh) 被定义为芯片配置字 (CFGW), 在上电复位 (POR) 时, 它会被装载到芯片内部的控制寄存器。地址空间 1F00h~1FFDh 是 IAP 自由区域, 而 0000h~005Fh 被标准 8051 定义为复位/中断向量。在线仿真 (ICE) 的模式下, 用户还需要预留 0D00h~0FFFh 的地址空间以供 ICE 系统通讯使用。



2.1.2 闪存 ICP 模式

闪存存储器可以通过 **tenx** 专用的烧录器 (TWR98/TWR99), 这需要至少四根线 (VBAT, VSS, P1.2 和 P1.3 引脚) 连接到该芯片以进行编程。缩短编程时间, 建议用一个额外的第五线, 就是 VPP (P2.7) 引脚连接烧录器。如果用户想在目标电路板上的闪存进行编程 (在电路编程, ICP), 这些引脚必须保留足够的自由来连接到烧录器, 最好不要连接电路; 如果要连接电路的话, 请参考相关 AP 资料。连接更多的烧录引脚可以提高烧录器的烧录效率和速度。

连接線數目	連接管腳
4-Wire	VBAT, VSS, P1.2, P1.3
5-Wire	VBAT, VSS, P1.2, P1.3, VPP
6-Wire	VBAT, VSS, P1.2, P1.3, VPP, P1.0

2.1.3 闪存 IAP 模式

F2280/80B/84/84B 有“在应用编程” (IAP) 功能,它允许软件在 CPU 运行时对闪存存储器读写数据,就像对 EEPROM 存取数据一样方便。IAP 功能是单字节的写入,这意味着 **F2280/80B/84/84B** 并不需要在写入前擦除一整个闪存页面。IAP 可用数据空间在芯片复位后是 254 个字节,并且可以由“MVCLOCK”和“IAPALL”控制寄存器重新定义,如下所示。

8K Bytes Flash Program memory		Flash memory	MVCLOCK	IAPALL	MOVC Accessible	MOVX (IAP) Accessible
0000h	MOVC-Lock area	0000h~01FFh	1	X	No	No
01FFh			0	0	Yes	No
0200h	IAP-All area	0200h~1EFFh	0	1	Yes	Yes
1EFFh			X	0	Yes	No
1F00h	IAP-Free area	1F00h~1FFDh	X	X	Yes	Yes
1FFDh			X	0	Yes	No
1FFEh	CFGW area	1FFEh	X	1	Yes	Yes
1FFFh			X	X	Yes	No

在 IAP 模式下,闪存程序存储器分为四个扇区:MOVC-Lock 区,IAP-All 区,IAP-Free 区,然后 CFGW 区。这四个扇区有不同的管制规则。

MOVC-Lock 区: IAP 读/写由 MVCLOCK 位所限制,它可以控制 MOVC 和 MOVX 指令对该区域的存取能力。这个区域的大小是 512 字节。锁定功能是为了保护主程序代码,避免在 IAP 模式中不自觉地写入此区域。锁定或解锁的功能必须由 tenx TWR98/99 在闪存存储器中写入 CFGW。

IAP-All 区: 由 IAPALL 寄存器保护,以防止在 IAP 模式中,写入应用程序的数据跑到程序区,产生了程序代码错误而无法修复。这个区域的大小是 7424 字节。启用 IAPALL 需要写入 65h 到 SFR SWCMD 97h 位置以设置 IAPALL 控制标志。然后,软件可以使用 MOVX 指令来把应用程序的数据写入闪存 0200h 到 1EFFh 的位置。如果用户希望禁用 IAPALL 功能,用户可以将其它值写入 SFR SWCMD 97h 以清除 IAPALL 控制标志。用户必须小心,不要覆盖其它已经存在同一个闪存位置的程序代码。

IAP-Free 区: 没有控制位来保护。它可以可靠地存储系统操作中一次或定期编程的应用数据。闪存其它区域也可用于存储数据,但这个区域通常是最好的。这个区域的大小是 254 字节,等效于一个 EEPROM。IAP 模式支持闪存单字节存取。在过去,要存储数据需外加一个 EEPROM 或其他存储设备;但是现在可以通过芯片上闪存提供,降低嵌入式应用的芯片数量,外部 EEPROM 可以不再需要。

CFGW 区: 设有 2 个数据字节 (CFGWH 和 CFGWL),它位于了闪存存储器的最后 2 个地址。CFGWH 是不可被 IAP 存取的,当 IAPALL 标志被设置后 CFGWL 可被 IAP 存取。上电复位后,CFGWL 被复制到 SFR F7h,之后软件可以通过修改 SFR F7h 来接管 CFGWL 的控制能力。CFGWL 在 **F2280/80B/84/84B** 被定义为 FRC 频率调整控制。

2.1.4 IAP 模式存取程序

IAP 闪存写入通过“MOVX @DPTR, A”指令来实现, 数据指针 (DPTR) 包含闪存的目标地址 (0000h~1FFEh), ACC 包含要写入的数据。F2280B/84B 在 IAP 写入前必须先对 IAPWE 解锁, F2280/84 则无此限制。IAP 闪存写入大约需要 500uS, 同时, CPU 处于等待状态, 但所有外设模块 (定时器, LCD 等) 在写入期间继续运行。软件必须在 IAP 写完后处理期间产生的中断。闪存 IAP 写入需要较慢的系统时钟频率以及较高的 V_{DD} 电压, 用户必须让 $2.8V < V_{DD} < 3.6V$ 。

由于程序存储器和 IAP 数据共享同一个实体空间, 只要目标地址指向 0000h~1FFFh 区域, IAP 可以通过“MOVX A, @DPTR”或“MOVC”指令读取闪存。闪存的 IAP 读取不需要额外的 CPU 等待时间。

```

; IAP example code
; need 2.8V < VDD < 3.6V
MOV    DPTR, #1F00h      ; DPTR = 1F00h = target IAP address
MOV    A, #5Ah          ; A = 5Ah = target IAP write data
MOV    A9h, #A0h        ; IAPWE=1 for F2280B/84B
MOVX   @DPTR, A         ; Flash[1F00h] = 5Ah, after IAP write
                          ; 200us~500us H/W writing time, CPU wait
MOV    A9h, #00h        ; IAPWE=0 immediately after IAP write
CLR    A                 ; A = 0
MOVX   A, @DPTR         ; A = 5Ah
CLR    A                 ; A = 0
MOVC   A, @A+DPTR       ; A = 5Ah
    
```

Flash 1FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	MVCLOCK	WDTE	-	-	LVR1E	-

1FFFh.5 **MVCLOCK**: 如果为1, MOVC和MOVX指令对MVCLOCK锁区的存取是受限制的。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL / SWRST							
R/W	W							R/W
Reset	-							0

97h.7~0 **IAPALL (W)**: 写入 65h 以设置 IAPALL 控制标志; 写入其它值则清除 IAPALL 标志。建议在 IAP 存取完成后, 立即将 IAPALL 清除。

97h.0 **IAPALL (R)**: 指示闪存扇区可否通过 IAP 存取。该位结合 MVCLOCK 定义 IAP 存取区域。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	IAPWE			SPIE	TKIE	EX2	PIIE	TM3IE
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.7~5 **IAPWE**: IAP 闪存写入控制 (仅 F2280B/84B)

101: 允许 IAP 闪存写入。建议在 IAP 写入完成后, 立即将 IAPWE 清除。

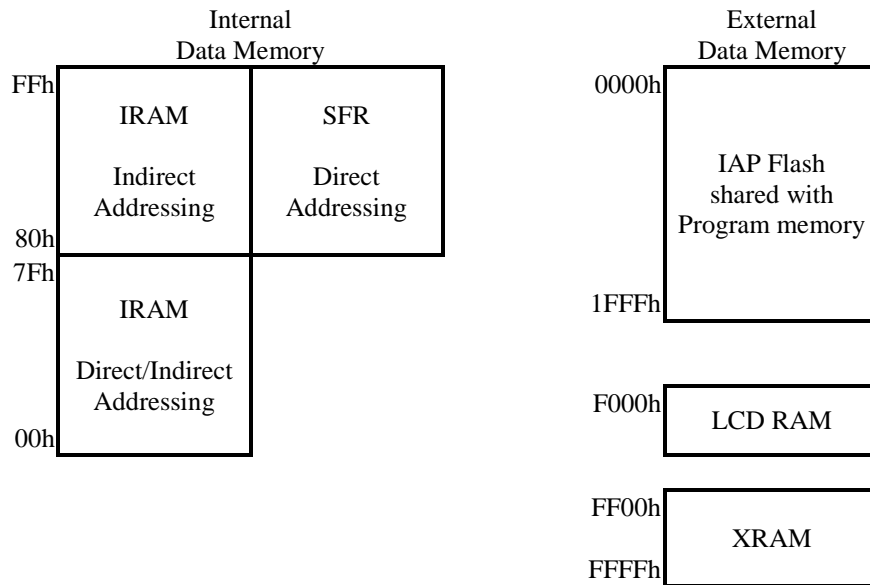
其余: 禁用 IAP 闪存写入。

2.1.5 闪存 ISP 模式

“在系统编程” (ISP) 的用法和 IAP 类似, 但目的是为了刷新程序代码。用户可以使用 UART/SPI 或其他方法从外部主机来获得新的程序代码, 然后用 IAP 相同的方式写入代码。ISP 操作复杂; 基本上它需要指定一个启动代码区, 不受 ISP 过程而被改变的闪存区。

2.2 数据存储器(Data Memory)

正如标准的 8051, **F2280/80B/84/84B** 有内部和外部数据存储器空间。内部数据存储空间由 256 字节 IRAM 和 67 的 SFR, 这可通过丰富的指令集进行存取。外部数据存储器空间由 256 字节的 XRAM, LCDRAM 和 IAP 闪存, 只能通过 MOVX 指令存取。



2.2.1 IRAM

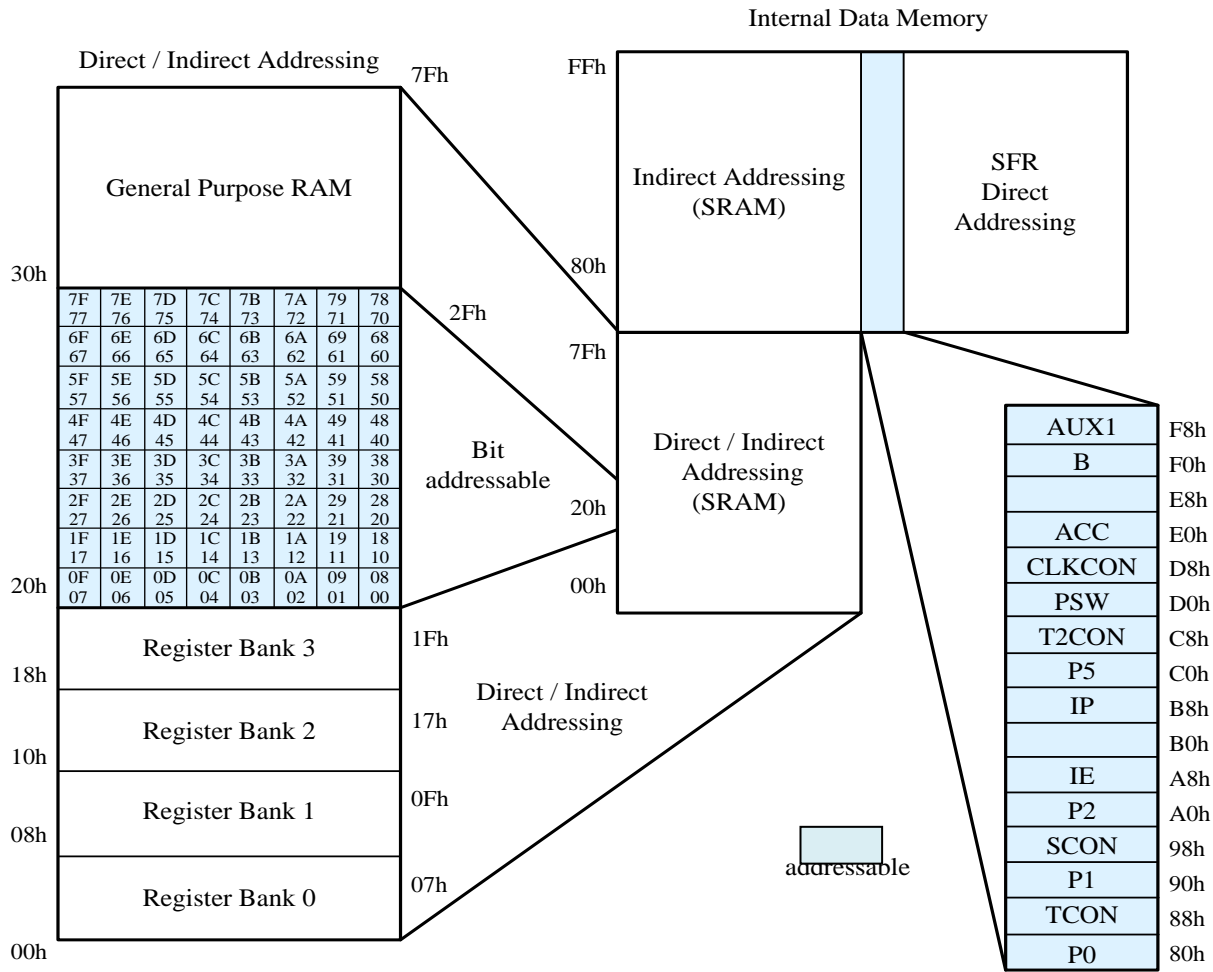
IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取, 只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组(由 PSW 开关), 占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.2.2 XRAM

XRAM 位于 8051 外部数据存储器空间(地址从 FF00h 到 FFFFh)。256 字节 XRAM 只能通过“MOVX”指令存取。

2.2.3 SFRs

所有的外围功能模块, 如 I/O, 芯片的定时器/计数器、串口(UART)操作都是通过特殊功能寄存器(SFR)存取控制。这些寄存器占用直接数据存储空间上的高 128 字节位置(80h 到 FFh 范围)。芯片有 14 可位寻址的 SFR(这意味着单个字节内部的 8 个各别的位是可寻址的), 如 ACC, B 寄存器, PSW, TCON, SCON 等。其它 SFR 只能按字节寻址。SFR 提供了 CPU 和芯片周边功能模块进行数据交换和控制。除了标准 8051 功能寄存器外, **F2280/80B/84/84B** 还配置了额外子系统的特殊功能寄存器, 例如 SPI/LCD 等等特有功能。

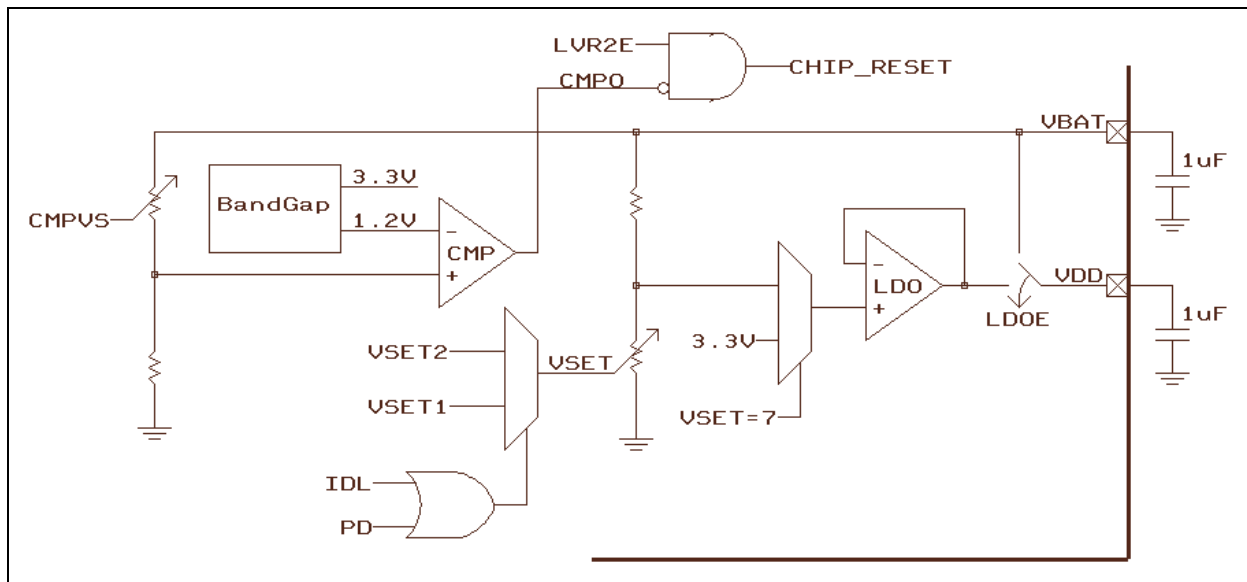


	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B							FRCF
E8h								
E0h	ACC							
D8h	CLKCON							
D0h	PSW							
C8h	T2CON		RCP2L	RCP2H	TL2	TH2		
C0h			BGADCS	BGADCD	ATKCMP0	ATKCMP1	ATKCMP2	ATKCMP3
B8h	IP	IPH	IP1	IP1H	SPCON	SPSTA	SPDAT	
B0h	P3	LCON	LCON2	TM3SEC	TM3DL	TM3DH	TM3RLD	TM3ADJ
A8h	IE	INTE1		ATKDT	TKDL	TKCON	TKCON2	RFCON
A0h	P2		P1MODL	P1MODH	P3MODL	P3MODH	TOCON	VCON
98h	SCON	SBUF						
90h	P1	P0OE	PINMODE	P2OE	OPTION	INTFLG	P1WKUP	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1		
80h	P0	SP	DPL	DPH				PCON

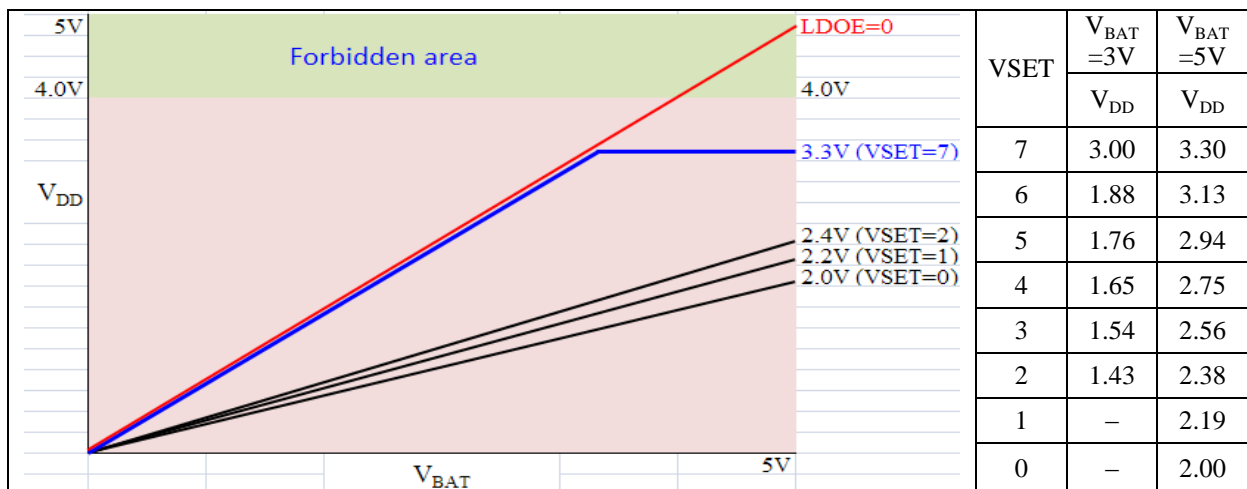
3. 电源管理

VBAT 引脚是这个芯片的电源, 它提供电压源至内置的超低功耗 LDO 稳压器, 用于芯片内部工作。VDD 为 LDO 的输出引脚, 需要一个外部 1uF 的电容连接到 VSS, 用于电压电平稳定。如果 LDOE=0, LDO 关闭, VDD 短路到 VBAT ($V_{DD}=V_{BAT}$)。如果 LDOE=1, LDO 启用, VSET1/VSET2 SFR 可以设置 V_{DD} 电压。在 $VSET1/2=0\sim6$ 时, $V_{DD}=V_{BAT} * 12/30 \sim V_{BAT} * 19/30$, LDO 仅耗电 0.3uA。而在 $VSET1/2=7$ 时, $V_{DD}=V_{BG} * 2.75 = 1.2V * 2.75 = 3.3V$, LDO 耗电 15uA (因 Bandgap 启用)。低 V_{DD} 电压可降低芯片的电流消耗, 但用户还必须考虑系统时钟频率 (更高的时钟速率需要更高的 V_{DD} 电压), 并需满足 $1.4V < V_{DD} < 4.0V$ 条件。在 IAP 写入模式下, 用户还需要设置 $V_{DD} > 2.8V$ 。

F2280/80B/84/84B 还具有一个内置 1.2V 带隙 (Bandgap) 基准电压, 以供低电池电量检测 (LBD) 和低电池电压复位#2 (LVR2) 使用。电池电压由电阻划分至某些级别, 然后与带隙电压进行比较。用户得知 V_{BAT} 的电压电平后, 可通过 VSET1/VSET2 SFR 设置来决定 V_{DD} 电压电平。带隙和比较器会消耗不可忽视电流, 使用者不应过于频繁使用它们。由于 V_{BAT} 电压电平的變化非常缓慢, 用户可以一小时检测一次, 甚至每日检测一次, 以减少电流消耗。



LDO 稳压器和比较器



V_{BAT} to V_{DD} 对应表

CMPO	CMPVS															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
$4.5V < V_{BAT}$	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
$4.3V < V_{BAT} < 4.5V$	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
$4.1V < V_{BAT} < 4.3V$	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
$3.9V < V_{BAT} < 4.1V$	0	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
$3.7V < V_{BAT} < 3.9V$	0	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
$3.5V < V_{BAT} < 3.7V$	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
$3.3V < V_{BAT} < 3.5V$	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0
$3.1V < V_{BAT} < 3.3V$	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
$3.0V < V_{BAT} < 3.1V$	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
$2.9V < V_{BAT} < 3.0V$	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
$2.8V < V_{BAT} < 2.9V$	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
$2.7V < V_{BAT} < 2.8V$	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
$2.6V < V_{BAT} < 2.7V$	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
$2.5V < V_{BAT} < 2.6V$	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
$2.4V < V_{BAT} < 2.5V$	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
$V_{BAT} < 2.4V$	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

 V_{BAT} 电压电平与比较器结果

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VCON	–	LDOE	VSET2			VSET1		
R/W	–	R/W	R/W			R/W		
Reset	–	1	1	1	1	1	1	1

A7h.6 **LDOE**: 芯片内部 LDO 稳压器控制

0: LDO 关闭, $V_{DD} = V_{BAT}$

1: LDO 开启, $V_{DD} = \text{LDO 稳压器输出}$

A7h.5~3 **VSET2**: 在 Fast/Slow 模式, LDOE=1 时, V_{DD} 之电压设置

000: $V_{DD} = V_{BAT} * 120/300$

001: $V_{DD} = V_{BAT} * 131/300$

010: $V_{DD} = V_{BAT} * 143/300$

011: $V_{DD} = V_{BAT} * 154/300$

100: $V_{DD} = V_{BAT} * 165/300$

101: $V_{DD} = V_{BAT} * 176/300$

110: $V_{DD} = V_{BAT} * 188/300$

111: $V_{DD} = V_{BG} * 2.75 = 1.2V * 2.75 = 3.3V$

A7h.2~0 **VSET1**: 在 Idle/Stop 模式, LDOE=1 时, V_{DD} 之电压设置

000: $V_{DD} = V_{BAT} * 120/300$

001: $V_{DD} = V_{BAT} * 131/300$

010: $V_{DD} = V_{BAT} * 143/300$

011: $V_{DD} = V_{BAT} * 154/300$

100: $V_{DD} = V_{BAT} * 165/300$

101: $V_{DD} = V_{BAT} * 176/300$

110: $V_{DD} = V_{BAT} * 188/300$

111: $V_{DD} = V_{BG} * 2.75 = 1.2V * 2.75 = 3.3V$

注: 在 ICE 模式下, VCON 停留在 0x7F (复位默认状态)。

注: 如果系统时钟 (System Clock) 是 FRC/FXT, 则 VCON 需依以下方式设置:

3V 应用: LDOE=0. ($V_{DD} = V_{BAT}$), VSET=0~6.

5V 应用: LDOE=1, VSET=7. ($V_{DD} = V_{BAT}$ when $V_{BAT} < 3.3V$, $V_{DD} = 3.3V$ when $V_{BAT} > 3.3V$)

SFR C2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BGADCS	LVR2E	ADCHS			CMPVS			
R/W	R/W	R/W			R/W			
Reset	0	0	0	0	0	0	0	0

C2h.3~0 **CMPVS**: 选择 V_{BAT} 电阻分压器的比较器输入与 1.2V 基准进行比较。如果 LVR2E=1, CMPO=0 之结果也会触发低电池电压复位#2 (LVR2)。

0000: 比较器关闭

0001: 比较器的输入是 $V_{BAT} * 12/24$, LVR2=2.4V

0010: 比较器的输入是 $V_{BAT} * 12/25$, LVR2=2.5V

0011: 比较器的输入是 $V_{BAT} * 12/26$, LVR2=2.6V

0100: 比较器的输入是 $V_{BAT} * 12/27$, LVR2=2.7V

0101: 比较器的输入是 $V_{BAT} * 12/28$, LVR2=2.8V

0110: 比较器的输入是 $V_{BAT} * 12/29$, LVR2=2.9V

0111: 比较器的输入是 $V_{BAT} * 12/30$, LVR2=3.0V

1000: 比较器的输入是 $V_{BAT} * 12/31$, LVR2=3.1V

1001: 比较器的输入是 $V_{BAT} * 12/33$, LVR2=3.3V

1010: 比较器的输入是 $V_{BAT} * 12/35$, LVR2=3.5V

1011: 比较器的输入是 $V_{BAT} * 12/37$, LVR2=3.7V

1100: 比较器的输入是 $V_{BAT} * 12/39$, LVR2=3.9V

1101: 比较器的输入是 $V_{BAT} * 12/41$, LVR2=4.1V

1110: 比较器的输入是 $V_{BAT} * 12/43$, LVR2=4.3V

1111: 比较器的输入是 $V_{BAT} * 12/45$, LVR2=4.5V

SFR C3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BGADCD	CMPO	-	ADCDT					
R/W	R	-	R					
Reset	-	-	-	-	-	-	-	-

C3h.7 **CMPO**: 带隙电压和 V_{BAT} 电压分压器的比较结果, “1” 表示 V_{BAT} 的分压电压较高。如果 LVR2E=1, CMPO=0 之结果也会触发低电池电压复位#2 (LVR2)。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	SXTGAIN		STPPCK	PWRFLT	UART1W	WDTPSC	TM3PSC	
R/W	R/W		R/W	R/W	R/W	R/W	R/W	
Reset	1	1	0	0	0	0	0	1

94h.4 **PWRFLT**: 设为 1 以提高芯片的抗干扰能力

4. 复位(Reset)

F2280/80B/84/84B 有 6 种复位方法。CFGW 控制复位功能。复位后 SFR 是返回到默认值。

4.1 上电复位(Power on Reset)

上电复位后, 芯片停留在复位状态, 进行 20mS 的预热, 然后从 Flash 的最后两个字节下载 CFGW 寄存器(其它复位不会重新加载 CFGW)。上电复位需要 V_{BAT} 和 V_{DD} 电压先放电至接近 V_{SS} 电平, 然后再上升超过 1.8V。

4.2 外部引脚复位(External Pin Reset)

外部引脚复位为低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGW 使能/禁止。

4.3 软件复位(Software Reset)

软件复位是通过将数据 56h 写入 SFR 中的 97h 地址来产生。

4.4 看门狗定时器复位(Watch Dog Timer Reset)

WDT 溢出复位被 CFGW 使能/禁止。WDT 使用 SYSCLK 作为计数时基。它在 Fast/Slow 模式运行, 在 Idle/Stop 模式下停止。看门狗定时器溢出速度可通过 WDT_PSC SFR 定义。WDT 由 CLR_WDT SFR 或复位清零。

4.5 低电压复位#1(LVR1)

LVR1 被 CFGW 的 LVR1E 使能/禁止。强制启用, 当 $V_{BAT} < 1.5V$, LVR1 复位发生。LVR1 耗电极低 (0.1uA @ $V_{BAT}=3V$), 它主要在确保上下电时芯片的工作稳定。

4.6 低电压复位#2(LVR2)

LVR2 被 LVR2E SFR 使能/禁用。LVR2 是由带隙比较模块产生的。当 V_{BAT} 电阻分压器电压低于 1.2V 带隙基准电压 (CMPO=0) 时, LVR2 复位发生。F/W 必须先设定好 CMPVS SFR, 然后启用 LVR2E=1, 以防止 LVR2 在带隙不稳定时被误触发。LVR2 的触发电平可由 CMPVS SFR 选择为 $V_{BAT}=2.4V \sim 4.5V$ 。启用 LVR2 功能之耗电是 15uA @ $V_{BAT}=3V$ 。

注: LVR1 必须启用, 也请参阅 AP-TM52XXXXX_02S 的 LVR1/LVR2 设置信息

系统时钟频率	8MHz	6MHz	2MHz	1MHz
最低限度 LVR1/2 设置	LVR2=2.9V LVR1=1.5V	LVR2=2.6V LVR1=1.5V	LVR2=2.4V LVR1=1.5V	LVR1=1.5V

LVR1/2 设置表

Flash 1FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	MV_CLOCK	WDTE	-	-	LVR1E	-

1FFFh.6 **XRSTE:** 外部引脚复位控制, 1=启用。

1FFFh.4 **WDTE:** 看门狗定时器复位控制, 1=启用。

1FFFh.1 **LVR1E:** 低电压复位#1(LVR1)控制, 1=启用。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL / SWRST							
R/W	W							R/W
Reset	-							0

97h.7~0 **SWRST (W)**: 写入56h以产生软件复位

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	-	-	-	TKSOC	CLRWDT	CLRTM3	STPRFC	DPSEL
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
Reset	-	-	-	0	0	0	0	0

F8h.3 **CLRWDT**: 设置1以清除看门狗定时器

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	SXTGAIN		STPPCK	PWRFLT	UART1W	WDTPSC	TM3PSC	
R/W	R/W		R/W	R/W	R/W	R/W	R/W	
Reset	1	1	0	0	0	0	0	1

94h.2 **WDTPSC**: WDT 预分频

0: WDT 溢出于 65536 系统时钟计数

1: WDT 溢出于 32768 系统时钟计数

SFR C2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BGADCS	LVR2E	ADCHS			CMPVS			
R/W	R/W	R/W			R/W			
Reset	0	0	0	0	0	0	0	0

C2h.7 **LVR2E**: 低电压复位#2 (LVR2) 控制, 1=启用。LVR2 必须在 CMPVS 设置完成, 而且带隙电压稳定之后再启用。

C2h.3~0 **CMPVS**: 选择 V_{BAT} 电阻分压器的比较器输入与 1.2V 基准进行比较。如果 LVR2E=1, CMPO=0 之结果也会触发低电池电压复位#2 (LVR2)。

0000: 比较器关闭

0001: 比较器的输入是 $V_{BAT} * 12/24$, LVR2=2.4V

0010: 比较器的输入是 $V_{BAT} * 12/25$, LVR2=2.5V

0011: 比较器的输入是 $V_{BAT} * 12/26$, LVR2=2.6V

0100: 比较器的输入是 $V_{BAT} * 12/27$, LVR2=2.7V

0101: 比较器的输入是 $V_{BAT} * 12/28$, LVR2=2.8V

0110: 比较器的输入是 $V_{BAT} * 12/29$, LVR2=2.9V

0111: 比较器的输入是 $V_{BAT} * 12/30$, LVR2=3.0V

1000: 比较器的输入是 $V_{BAT} * 12/31$, LVR2=3.1V

1001: 比较器的输入是 $V_{BAT} * 12/33$, LVR2=3.3V

1010: 比较器的输入是 $V_{BAT} * 12/35$, LVR2=3.5V

1011: 比较器的输入是 $V_{BAT} * 12/37$, LVR2=3.7V

1100: 比较器的输入是 $V_{BAT} * 12/39$, LVR2=3.9V

1101: 比较器的输入是 $V_{BAT} * 12/41$, LVR2=4.1V

1110: 比较器的输入是 $V_{BAT} * 12/43$, LVR2=4.3V

1111: 比较器的输入是 $V_{BAT} * 12/45$, LVR2=4.5V

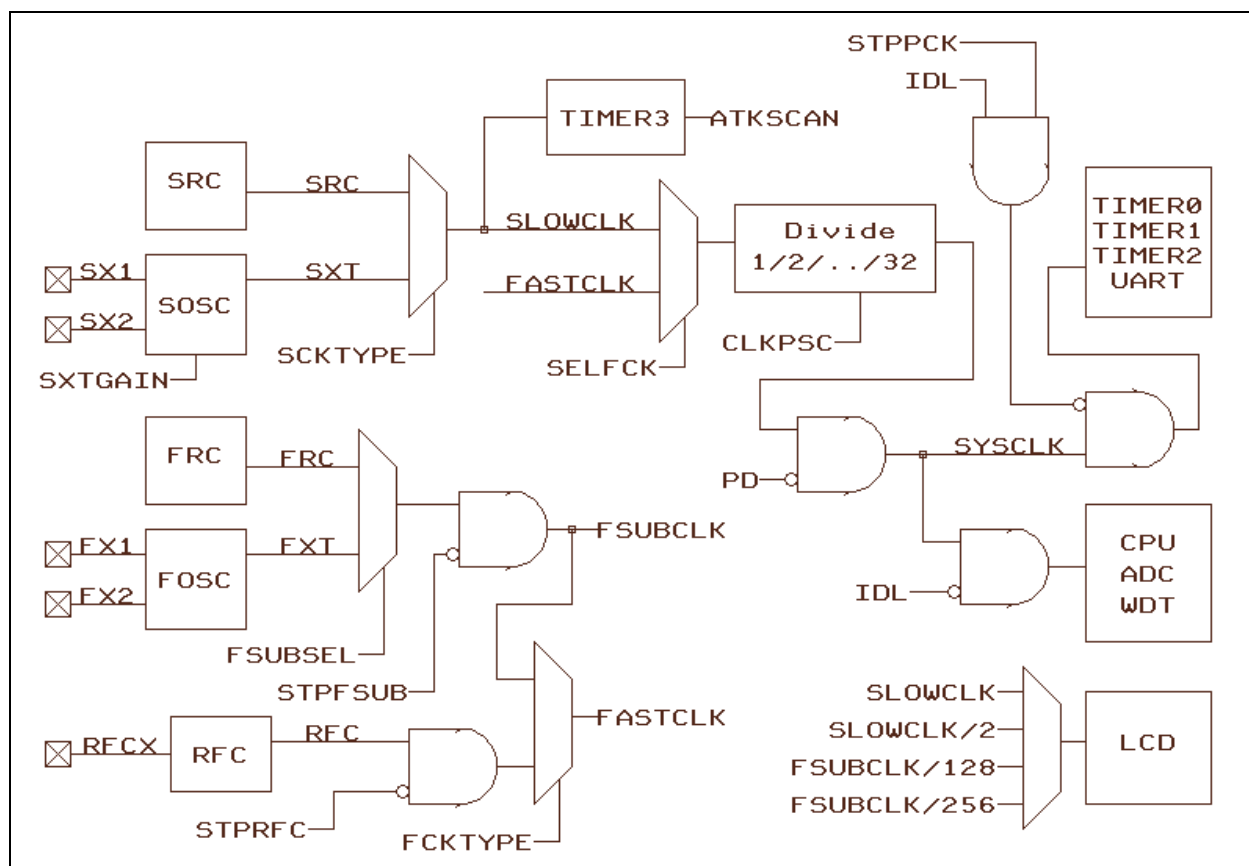
5. 时钟电路和工作模式

5.1 系统时钟(System Clock)

F2280/80B/84/84B 设计有双时钟系统。在 CPU 运行时,用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1, 2, 4, 8, 16 或 32 的时钟分频器。快钟可以选用 **FRC**(快速内部 RC, 7.3728 MHz), **FXT**(快速晶振, 1~8 MHz) 或 **RFC**(外部振荡 RC)。慢钟可以选用 **SXT**(慢速晶振, 32 KHz) 或 **SRC**(内部慢速 RC, 80 KHz @ $V_{DD}=3V$, 40 KHz @ $V_{DD}=1.5V$)。快钟模式(Fast Mode)和慢钟模式(Slow Mode)被定义为快/慢时钟的 CPU 运行速度。

复位后,芯片以慢钟模式 **SRC** 运行,由于快钟在慢钟模式用不到,**S/W** 此时可以设置 **STPFSUB=1** 以停止 **FXT** 和 **FRC** 以减少芯片的耗电。芯片在切换到其他的时钟速率之前,**S/W** 还必须考虑到 V_{DD} 电压电平,以确保芯片运行的安全性。较高的 V_{DD} 允许芯片在更高的系统时钟频率运行,在典型情况下,8 MHz 系统时钟速率要求 $V_{DD}>2.9V$ 。

在进入快钟模式前,**S/W** 必须先选择快钟类型。如果 **RFC** 被用作快速时钟源,**S/W** 还需设置 **RFC** 相关的引脚模式和 **SFR**。**FRC** 是复位默认的快钟类型,其频率可由 **FRCF SFR** 调整,并且在上电复位时由 **CFGW** 自动加载了 7.3728 MHz 的调适数据。



时钟结构

CLKCON SFR 控制系统时钟的运行。**H/W** 自动阻断 **S/W** 异常设置该寄存器。**S/W** 只能在快钟模式下改变慢钟类型,或在慢钟模式下改变快钟类型。千万不要在 **FRC/FXT** 模式下同时写 **STPFSUB=1** 和 **SELFCLOCK=1**。建议在写这个 **SFR** 时,一次只写一个位。

本芯片还可以输出系统时钟到 TCO 引脚 (CMOS 推挽格式)。TCO 的频率/占空比由 TCOCON SFR 定义。TCO 引脚的输出使能由 P3MOD7 SFR 定义 (见第 7 章)。

Flash 1FFEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	–	–	–	FRCF				

FFEh.4~0 **FRCF**: FRC 频率调整, 芯片制造时 FRC 被调整到 7.3728 MHz, FRCF 记录了调适数据。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	–	–	–	FRCF				
R/W	–	–	–	R/W				
Reset	–	–	–	–	–	–	–	–

F7h.4~0 **FRCF**: FRC 频率调整。于上电复位时由 CFGW 自动加载数据, 在正常模式下和任何其他 SFR 寄存器一样可以读/写。因此, FRC 时钟速度可通过 S/W 于 CPU 运行时更改。

00h=中心频率, 0Fh=最高频率, 10h=最低频率。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	FCKTYPE	FSUBSEL	SELFCK	SCKTYPE	STPFSUB	CLKPSC		
R/W	R/W	R/W	R/W	R/W	R/W	R/W		
Reset	0	0	0	0	0	1	0	1

D8h.7 **FCKTYPE**: 快钟类型, 该位只能在慢钟模式 (SELFCK=0) 时改变。

0: 快钟选择 FSUBCLK (FRC 或 FXT)

1: 快钟选择 RFC, 设置该位为 1 之前, S/W 必须先设定好 RFC 振荡电路相关 SFR。

D8h.6 **FSUBSEL**: FSUBCLK 选择, 该位只能在慢钟模式 (SELFCK=0) 时改变。

0: FSUBCLK 选择 FRC

1: FSUBCLK 选择 FXT, P2.1 和 P2.2 是晶振引脚

D8h.5 **SELFCK**: 系统时钟源选择, 该位只能在 STPFSUB=0 或 FCKTYPE=1 时改变。

0: 慢钟模式 (SRC/SXT)

1: 快钟模式 (FRC/FXT/RFC)

D8h.4 **SCKTYPE**: 慢钟类型, 该位只能在快钟模式 (SELFCK=1) 时改变。

0: 慢钟选择 SRC

1: 慢钟选择 SXT, P0.7 和 P2.0 是晶振引脚

D8h.3 **STPFSUB**: 慢钟/空闲模式时设为 1, 可停止 FXT/FRC 以节省电力。该位只能在慢钟或 RFC 模式时被改变。

D8h.2~0 **CLKPSC**: 系统时钟分频器, 生效延迟最大为 32 个时钟周期, 参阅 [AP-TM52XXXXX_01S](#)。

000: 系统时钟是快钟或慢钟除以 32

001: 系统时钟是快钟或慢钟除以 16

010: 系统时钟是快钟或慢钟除以 8

011: 系统时钟是快钟或慢钟除以 4

100: 系统时钟是快钟或慢钟除以 2

101: 系统时钟是快钟或慢钟除以 1

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	SXTGAIN		STPPCK	PWRFLT	UART1W	WDTPSC	TM3PSC	
R/W	R/W		R/W	R/W	R/W	R/W	R/W	
Reset	1	1	0	0	0	0	0	1

94h.7~6 **SXTGAIN**: 32768 SXT 振荡器增益, 3=最高增益, 0=最低增益。较高的增益可以缩短起振时间, 较低的增益可以减少振荡电流。

94h.5 **STPPCK**: 设为 1, 停止 UART/Timer0/Timer1/Timer2 在空闲模式 (Idle Mode) 的时钟。

注: 选择晶振模式时, P2.1/P2.2 (FXT) 或 P0.7/P2.0 (SXT) 引脚应设为电阻上拉输入 (见第 7 章)。

SYSCLK	CLKCON (D8h)				
	bit7 FCKTYPE	bit6 FSUBSEL	bit5 SELFCK	bit4 SCKTYPE	bit3 STPFSUB
快钟 RFC (*1)	1	0/1	1	0/1	0/1
快钟 FXT	0	1	1	0/1	0
快钟 FRC	0	0	1	0/1	0
慢钟 SXT	0/1	0/1	0	1	0/1
慢钟 SRC	0/1	0/1	0	0	0/1
快钟类型改变	AB \leftrightarrow CD		0	0/1	0/1
慢钟类型改变	0/1	0/1	1	0 \leftrightarrow 1	0/1(*2)
停止 FRC/FXT	0	0/1	0	0/1	0 \rightarrow 1
停止 FRC/FXT	1	0/1	0/1	0/1	0 \rightarrow 1
切换到 FRC/FXT	0	0/1	0 \rightarrow 1	0/1	0
切换到 RFC (*1)	1	0/1	0 \rightarrow 1	0/1	0/1
切换到 SRC/SXT	0	0/1	1 \rightarrow 0	0/1	0
切换到 SRC/SXT	1	0/1	1 \rightarrow 0	0/1	0/1

(*1) 还需要 RFC 相关的 SFR 正确的设置

(*2) 此处 STPFSUB=1 只在 RFC 模式有效, FRC/FXT 模式需要 STPFSUB=0

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TOCON	T1OCON		T2OCON			TCOCON		
R/W	R/W		R/W			R/W		
Reset	0	0	0	0	0	0	0	0

A6h.2~0 **TCOCON**: TCO 引脚占空比和频率控制

000: 1/2 占空比, 1/2 SYSCLK 频率

001: 1/3 占空比, 1/3 SYSCLK 频率

010: 1/4 占空比, 1/4 SYSCLK 频率

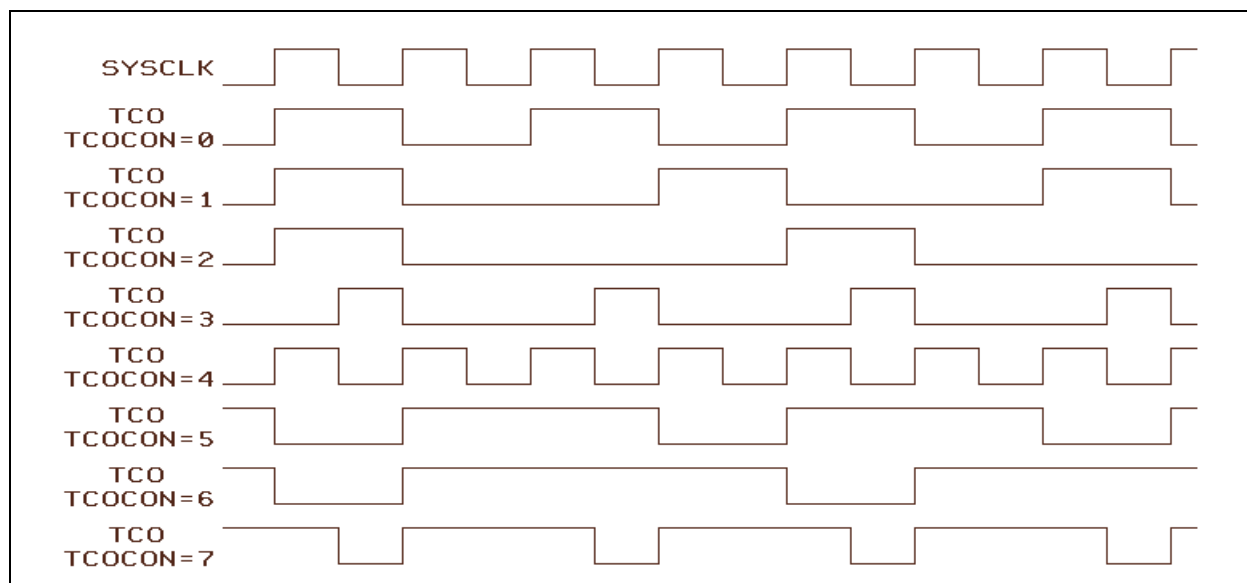
011: 1/4 占空比, 1/2 SYSCLK 频率

100: 1/2 占空比, 1/1 SYSCLK 频率

101: 2/3 占空比, 1/3 SYSCLK 频率

110: 3/4 占空比, 1/4 SYSCLK 频率

111: 3/4 占空比, 1/2 SYSCLK 频率



TCOCON 与 TCO 波形

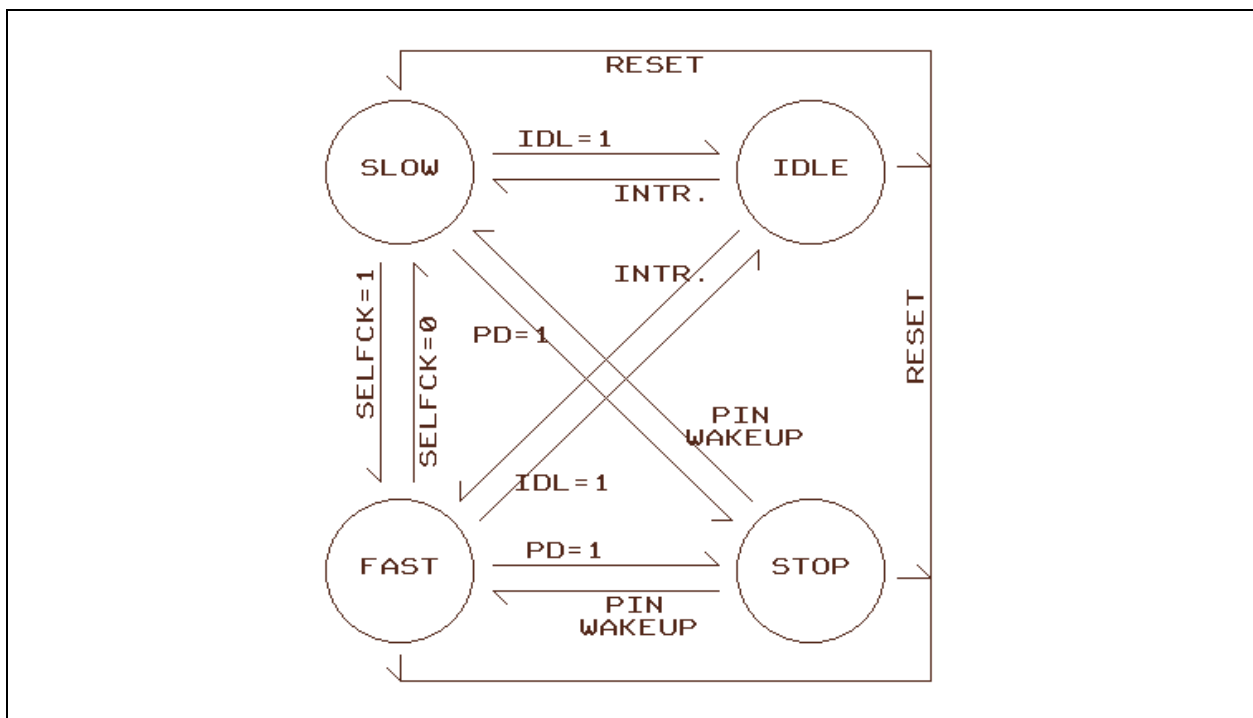
5.2 操作模式 (Operation Modes)

F2280/80B/84/84B 有四种操作模式。**快钟模式 (Fast Mode)** 被定义为在快时钟速度运行的 CPU。**慢钟模式 (Slow Mode)** 被定义为慢时钟速度运行的 CPU。当系统时钟速度较低, 功耗较低。

空闲模式 (Idle Mode) 通过设置 PCON SFR 中的 IDL 位进入。快钟或慢钟都可设置为在空闲模式下的系统时钟源, 但慢钟的省电越好。在空闲模式下, CPU 进入睡眠, 而芯片上外围模块保持工作。在 CLKCON SFR 中的 STPPCK 位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1, Timer0/1/2 和 UART 在空闲模式时停止。较慢的系统时钟频率也可以通过 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式 (Stop Mode) 是通过设置 PCON 中的 PD 位进入。这种模式在标准的 8051 称为 “Power Down” 模式。在停止模式下, 有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入 Stop 模式。(INTn=0 and EXn=1, n=0, 1, 2)



操作模式转变

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	-	-	-	GF1	GF0	PD	IDL
R/W	R/W	-	-	-	R/W	R/W	R/W	R/W
Reset	0	-	-	-	0	0	0	0

87h.1 **PD:** 设为 1, 进入停止模式。

87h.0 **IDL:** 设为 1, 进入空闲模式。

6. 中断(Interrupt)和唤醒(Wake-up)

F2280/80B/84/84B 有 11 源, 4 段优先级中断结构。所有的中断都可以从空闲模式唤醒 CPU, 但只有引脚中断可以从停止模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1, 中断事件将设置其个别的中断标志。中断向量和标志列表如下。

向量	标志	描述
0003	IE0	INT0 外部引脚中断(可以唤醒停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断(可以唤醒停止模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART)中断
002B	TF2+EXF2	Timer2 中断
0033		保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	PIIF	Port1 外部引脚电平变化中断(可以唤醒停止模式)
004B	IE2	INT2 外部引脚中断(可以唤醒停止模式)
0053	TKIF	触摸按键 ATK 中断(仅 F2280/80B)
005B	SPIF+WCOL	SPI 中断

中断向量和标志

6.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。P1WKUP SFR 控制 Port1 个别引脚唤醒和中断使能。IP, IPH, IP1 和 IP1H 的 SFR 决定中断优先级。中断会被服务, 需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时, 新的中断将等待被服务, 直到它之前的服务完成。较低优先级中断正被服务时, 可能被更高优先级的中断停止, 开始新的中断服务, 当新的中断结束后, 被停止的较低优先级的中断才会被完成。

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1WKUP	P1WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

96h.7~0 **P1WKUP**: P1.7~P1.0 个别引脚唤醒/中断使能控制

0: 关闭

1: 开启

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

- A8h.7 **EA**:总中断使能控制
0:禁用所有中断
1:每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2**:Timer2 中断使能控制
0:禁用 Timer2 中断
1:允许 Timer2 中断
- A8h.4 **ES**:串口(UART)中断使能控制
0:禁用串口(UART)中断
1:允许串口(UART)中断
- A8h.3 **ET1**:Timer1 中断使能控制
0:禁用 Timer1 中断
1:允许 Timer1 中断
- A8h.2 **EX1**:INT1 引脚中断和停止模式唤醒使能控制
0:禁用 INT1 引脚中断和停止模式唤醒
1:允许 INT1 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A8h.1 **ET0**:Timer0 中断使能控制
0:禁用 Timer0 中断
1:允许 Timer0 中断
- A8h.0 **EX0**:INT0 引脚中断和停止模式唤醒使能控制
0:禁用 INT0 引脚中断和停止模式唤醒
1:允许 INT0 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	IAPWE			SPIE	TKIE	EX2	P1IE	TM3IE
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A9h.4 **SPIE**:SPI 中断使能控制
0:禁用 SPI 中断
1:允许 SPI 中断
- A9h.3 **TKIE**:触摸按键中断使能控制(仅 F2261/61B)
0:禁用触摸按键 ATK 中断
1:允许触摸按键 ATK 中断
- A9h.2 **EX2**:INT2 引脚中断和停止模式唤醒使能控制
0:禁用 INT2 引脚中断和停止模式唤醒
1:允许 INT2 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A9h.1 **P1IE**:Port1 引脚电平变化中断使能控制, 此位不影响 P1.7~P1.0 停止模式唤醒功能。
0:禁用 Port1 引脚电平变化中断
1:允许 Port1 引脚电平变化中断
- A9h.0 **TM3IE**:Timer3 中断使能控制
0:禁用 Timer3 中断
1:允许 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	–	–	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	–	–	PT2	PS	PT1	PX1	PT0	PX0
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

- B9h.5, B8h.5 **PT2H, PT2**:Timer2 中断优先级控制。(PT2H, PT2)=
 00:0 级(最低优先级)
 01:1 级
 10:2 级
 11:3 级(最高优先级)
- B9h.4, B8h.4 **PSH, PS**:串口(UART)中断优先级控制。定义如上。
- B9h.3, B8h.3 **PT1H, PT1**:Timer1 中断优先级控制。定义如上。
- B9h.2, B8h.2 **PX1H, PX1**:INT1 引脚中断优先级控制。定义如上。
- B9h.1, B8h.1 **PT0H, PT0**:Timer0 中断优先级控制。定义如上。
- B9h.0, B8h.0 **PX0H, PX0**:INT0 引脚中断优先级控制。定义如上。

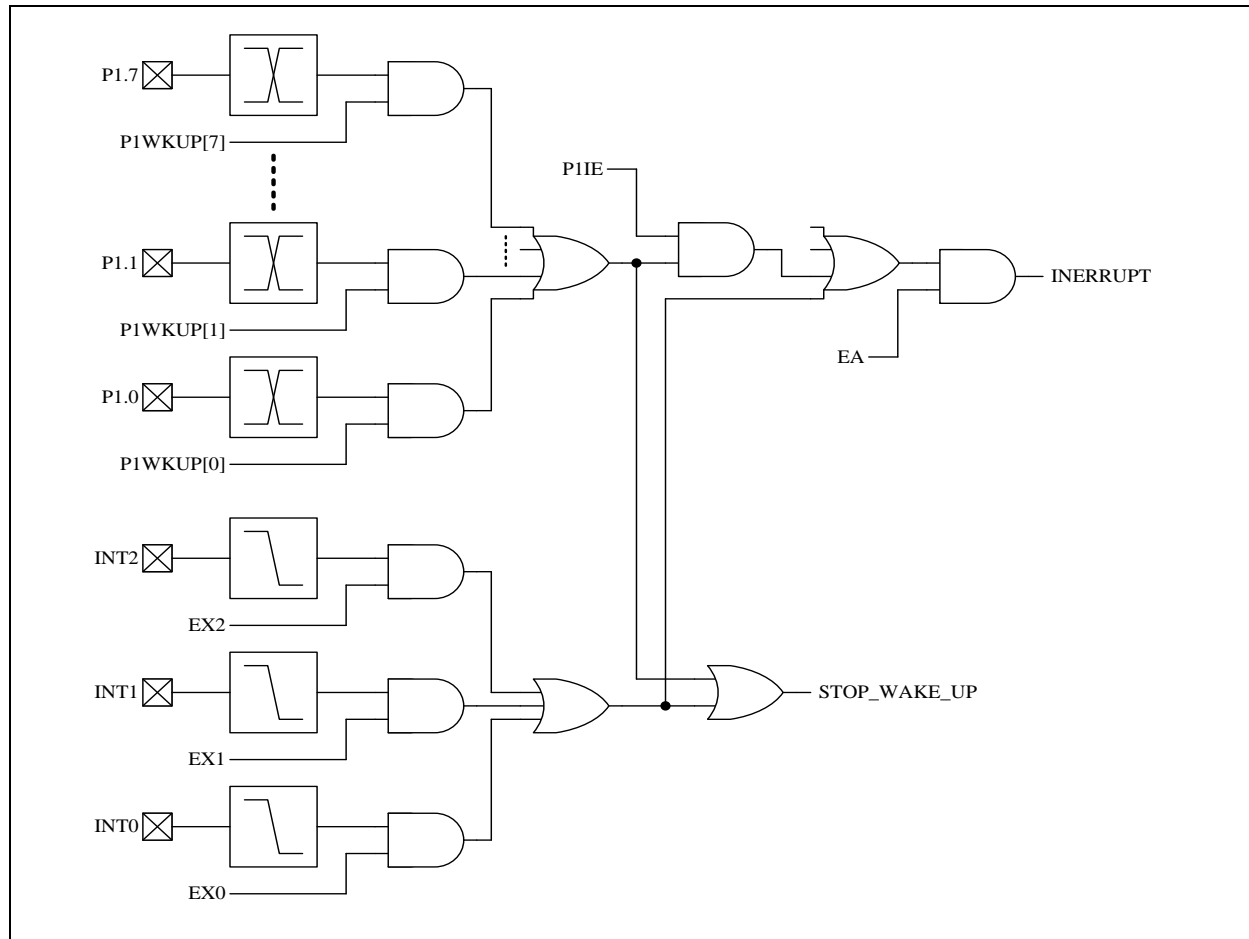
SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	–	–	–	PSPIH	PTKI H	PX2H	PP1H	PT3H
R/W	–	–	–	R/W	R/W	R/W	R/W	R/W
Reset	–	–	–	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	–	–	–	PSPI	PTKI	PX2	PP1	PT3
R/W	–	–	–	R/W	R/W	R/W	R/W	R/W
Reset	–	–	–	0	0	0	0	0

- BBh.4, BAh.4 **PSPIH, PSPI**:SPI 中断优先级控制。定义如上。
- BBh.3, BAh.3 **PTKI H, PTKI**:触摸按键中断优先级控制。定义如上。
- BBh.2, BAh.2 **PX2H, PX2**:INT2 引脚中断优先级控制。定义如上。
- BBh.1, BAh.1 **PP1H, PP1**:Port1 引脚电平变化中断优先级控制。定义如上。
- BBh.0, BAh.0 **PT3, PT3**:Timer3 中断优先级控制。定义如上。

6.2 引脚中断

引脚中断包括 INT0(P3.2), INT1(P3.3), INT2(P2.7) 和 Port1 电平变化中断。这些引脚也有停止模式唤醒功能。INT0 和 INT1 为 8051 标准是下降沿或低电平触发。INT2 为下降沿触发, 而 Port1 电平变化中断是由任何 Port1 引脚的状态变化触发。



引脚中断和唤醒

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1**: INT1 中断边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.2 **IT1**: INT1 中断控制位
 0: INT1 引脚中断是低电平触发
 1: INT1 引脚中断是下降沿触发
- 88h.1 **IE0**: INT0 中断边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时, 不管 EX0 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.0 **IT0**: INT0 中断控制位
 0: INT0 引脚中断是低电平触发
 1: INT0 引脚中断是下降沿触发

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	–	–	–	–	TKIF	IE2	P1IF	TF3
R/W	–	–	–	–	R/W	R/W	R/W	R/W
Reset	–	–	–	–	0	0	0	0

95h.2 **IE2: INT2 中断边沿标志**

设置于 H/W 检测到 INT2 引脚下降沿时, 不管 EX2 为 0 或 1。

程序执行中断服务时, 它会被自动清除。

S/W 也可以写 FBh 到 INTFLG 以清除该标志。

95h.1 **P1IF: Port1 引脚电平变化中断标志**

设置于 H/W 检测到 Port1 引脚的状态变化时, 且其相应的中断使能位 (P1WKUP) 开启。

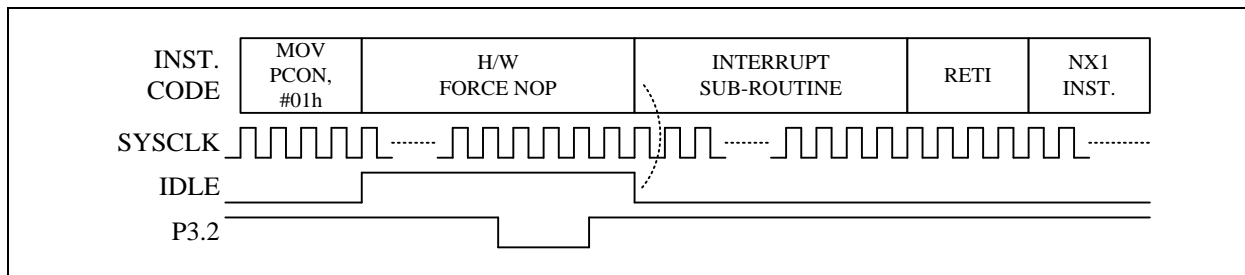
P1IE 不影响该标志设置, 程序执行中断服务时, 它会被自动清除。

S/W 也可以写 FDh 到 INTFLG 以清除该标志。

注2: S/W 写 0 可以清除 INTFLG 中的标志, 但写 1 没有任何效果。

6.3 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒, 这意味着各个中断使能位 (如: EX0) 和 EA 位必须都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断 (引脚, 定时器, 触摸按键, SPI 和 UART), 可以将 CPU 从空闲模式唤醒。当空闲被唤醒, 立即进入中断服务程序。当中断服务程序返回后, “IDL (PCON.0) 设置后的第一个指令” 才被执行。



EA=EX0=1, P3.2 (INT0) 空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

87h.1 **PD:** 设为 1, 进入停止模式 (Stop Mode)。

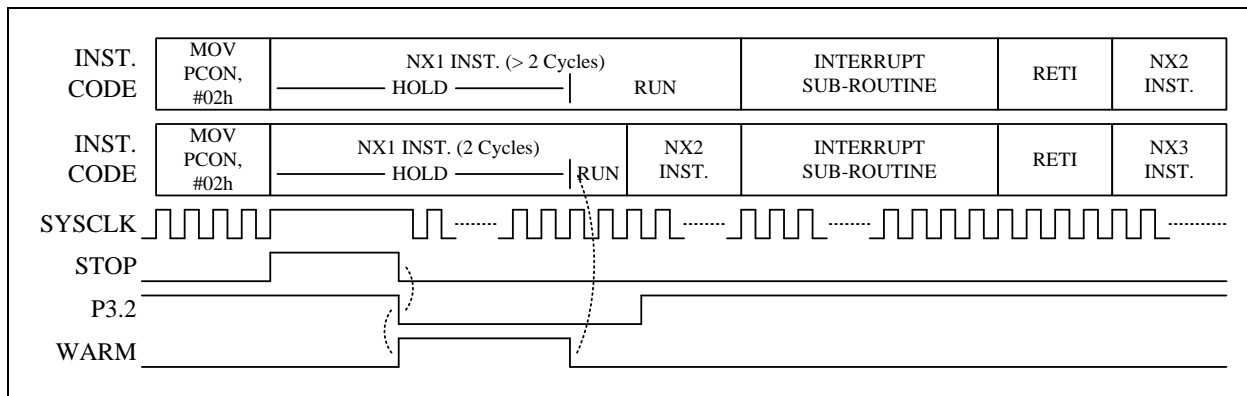
87h.0 **IDL:** 设为 1, 进入空闲模式 (Idle Mode)。

6.4 停止模式唤醒和中断

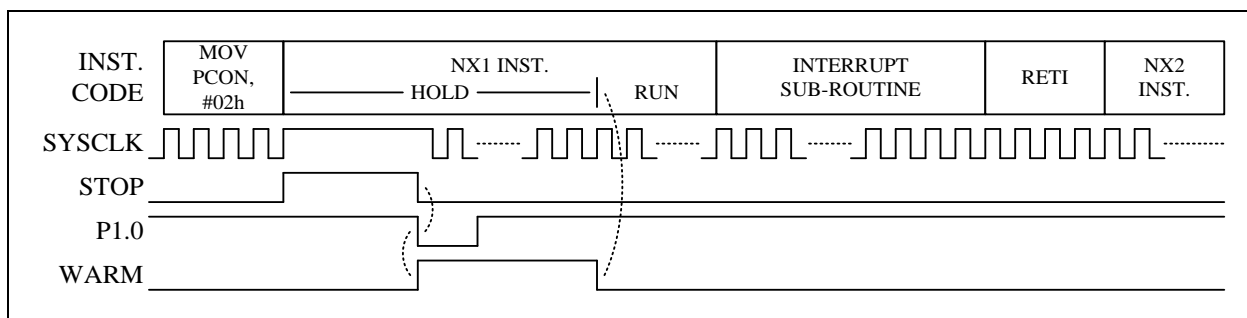
停止模式唤醒很简单, 只要把各个引脚的中断使能位 (如: EX0) 设置, 该引脚唤醒功能启用。设置 EX0/EX1/EX2 可以允许 INT0/INT1/INT2 引脚上的停止模式唤醒功能。设置 P1WKUP 位 7~0 可以启用 P1.7~P1.0 的停止模式唤醒功能。一旦停止被唤醒, “PD (PCON.1) 设置后的第一条指令” 立即在中断服务之前被执行。中断进入需要 EA=1 (P1WKUP 还需要 P1IE=1) 和该引脚触发状态停留足够长, 以被系统时钟采样到。此功能可让 CPU 停止模式唤醒后, 进入或不进入中断子程序。

注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入 Stop 模式。 (INTn=0 and EXn=1, n=0,1,2)

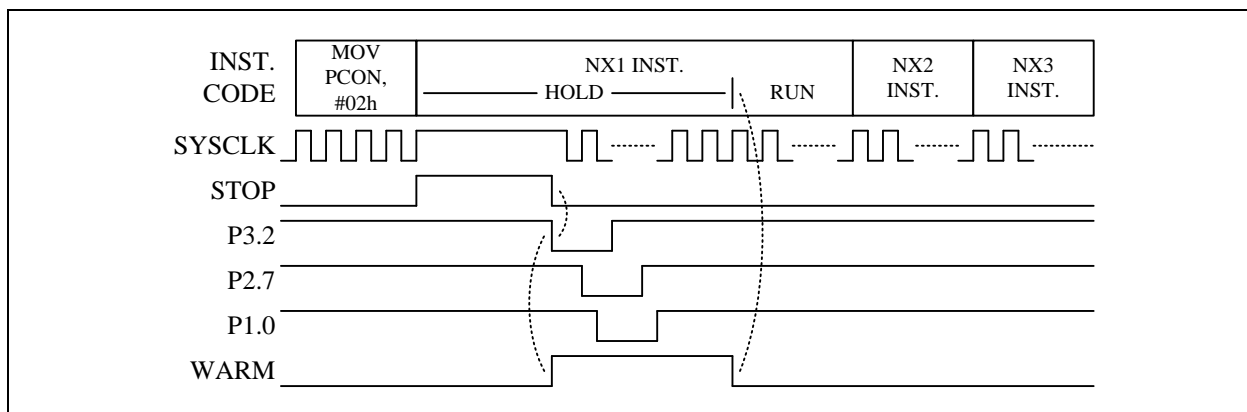
注: 如下图, 建议在 NX1/NX2 指令位置, 放置 NOP 指令



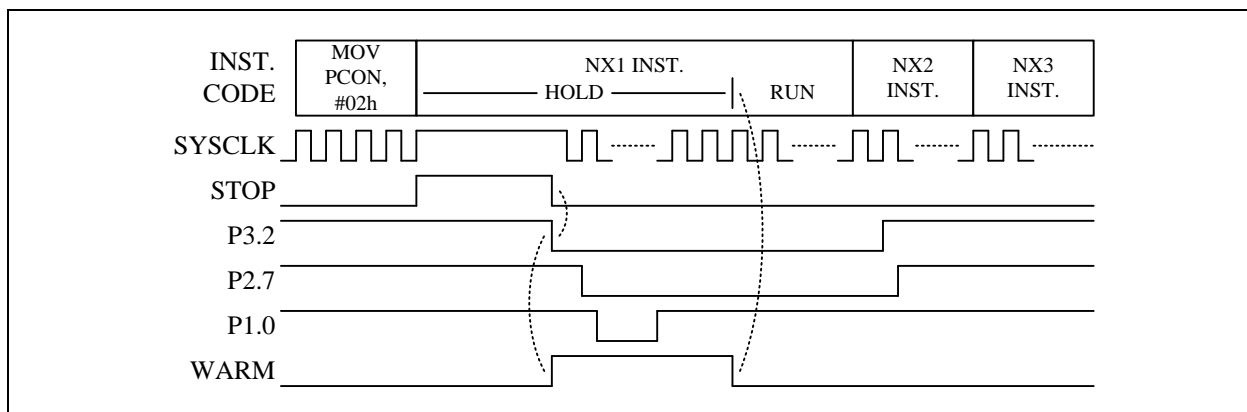
EA=EX0=1, P3.2 (INT0) 预热后被采样, 停止模式唤醒和中断



EA=P1IE=P1WKUP=1, P1.0 变化(不需要时钟采样), 停止模式唤醒和中断



EA=EX0=EX2=P1WKUP=1, P1IE=0, P3.2/P2.7 脉冲太窄, 停止模式唤醒, 但没有中断



EX0=EX2=P1WKUP=P1IE=1, EA=0, 停止模式唤醒, 但没有中断

7. I/O 端口

F2280/80B/84/84B 总共有 32 个多功能 I/O 引脚。所有的 I/O 引脚遵循标准 8051“读-修改-写”功能。此类指令会读取一个端口或端口位的 SFR 值(而不是引脚状态的值),可能改变它,然后将它改写回 SFR。(ex: ANL P1, A; INC P2; CPL P3.0)

7.1 Port1 和 Port3

这些引脚可以在四种不同的模式,如下操作。

模式(Mode)	Port1, Port3 引脚功能		P1.n / P3.n SFR data	引脚状态	电阻上拉	数位输入
	P3.0~P3.2	其他				
模式 0	伪开漏输出	开漏输出	0	驱动低	N	N
			1	电阻上拉	Y	Y
模式 1	伪开漏输出	开漏输出	0	驱动低	N	N
			1	高阻抗	N	Y
模式 2	CMOS 推挽输出		0	驱动低	N	N
			1	驱动高	N	N
模式 3	替代功能,如 LCD/LED,ADC 与时钟输出		X (don't care)	—	N	N

Port1, Port3 I/O 引脚功能表

如果一 Port1 或 Port3 引脚用于施密特触发输入, S/W 必须设置 I/O 引脚到模式 0 或模式 1, 并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

除了 I/O 的功能, 每个 Port1 和 Port3 引脚各具有一个或多个可选的替代功能, 如触摸按键, LCD/LED, ADC 和时钟输出。大部分的功能通过将各个引脚的模式控制 SFR 设为模式 3。Port1 和 Port3 引脚还具有标准 8051 的辅助定义如 INT0/1, T0/1/2, 或 RXD/TXD。这些引脚功能需要设置引脚模式 SFR 为模式 0 或模式 1, 并保持 P1.n/P3.n 的 SFR 为 1。

引脚名称	8051	Wake-up	CKO	ADC	TK	LCD	Mode3
P1.0	T2	Y	T2O		TK7		T2O
P1.1	T2EX	Y		ADC1	TK6		ADC1
P1.2		Y		ADC2	TK5		ADC2
P1.3		Y		ADC3	TK4		ADC3
P1.4		Y		ADC4	TK3		ADC4
P1.5		Y		ADC5	TK2		ADC5
P1.6		Y		ADC6	TK1		ADC6
P1.7		Y		ADC7	TK0		ADC7
P3.0	RXD				TK14	SEG23	SEG23
P3.1	TXD				TK13	SEG24	SEG24
P3.2	INT0	Y			TK12	SEG25	SEG25
P3.3	INT1	Y			TK11	SEG26	SEG26
P3.4	T0				CLD		CLD
P3.5	T1		T1O		TK10		T1O
P3.6			T1B		TK9		T1B
P3.7			TCO		TK8		TCO

Port1, Port3 多重功能表

Port1/Port3 引脚的替代功能所需的 SFR 设置如下。

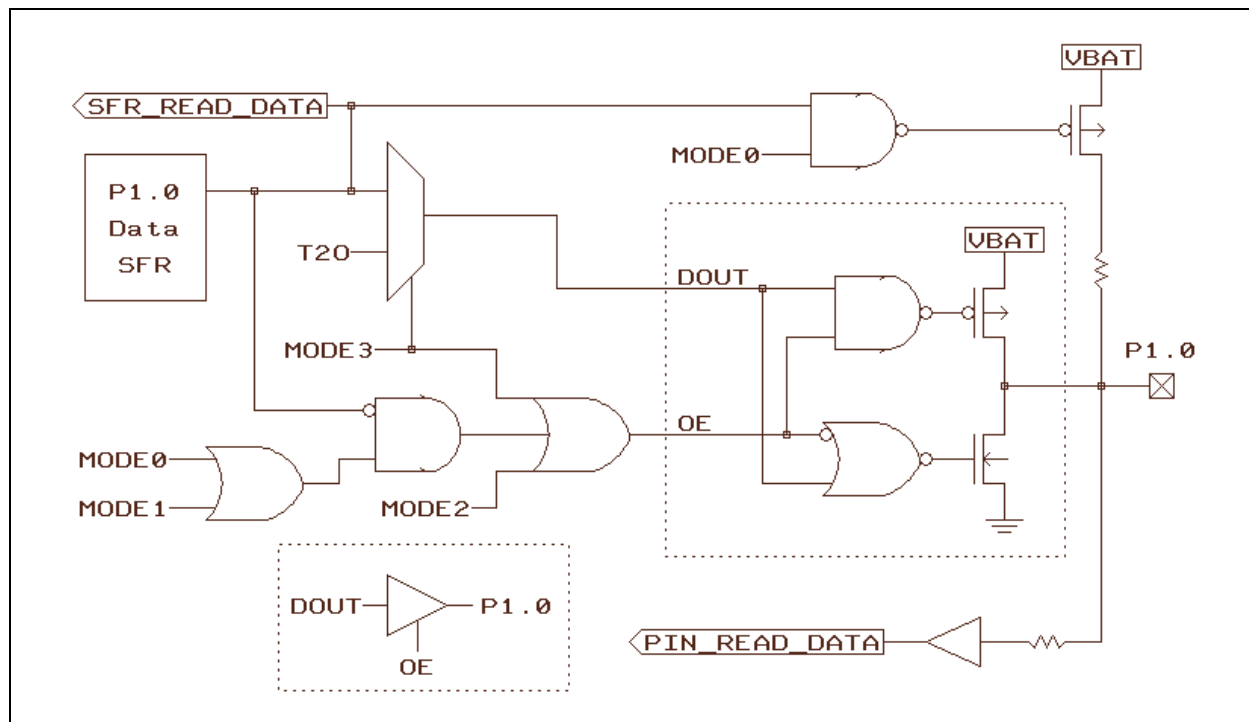
替代功能	模式	P1.n / P3.n SFR data	引脚状态
T0, T1, T2, T2EX, INT0, INT1	0	1	输入上拉
	1	1	输入
RXD, TXD	0	1	输入上拉/伪开漏输出
	1	1	输入/伪开漏输出
TCO, T10, T1B, T20	3	X	时钟输出 (CMOS 推挽)
SEG23~SEG26	3	X	LCD 波形输出
TK0~TK14	0	1	触摸按键闲置或扫描
CLD	3	X	触摸按键电荷收集
ADC1~ADC7	3	X	ADC 电平输入

Port1, Port3 替代功能模式设置

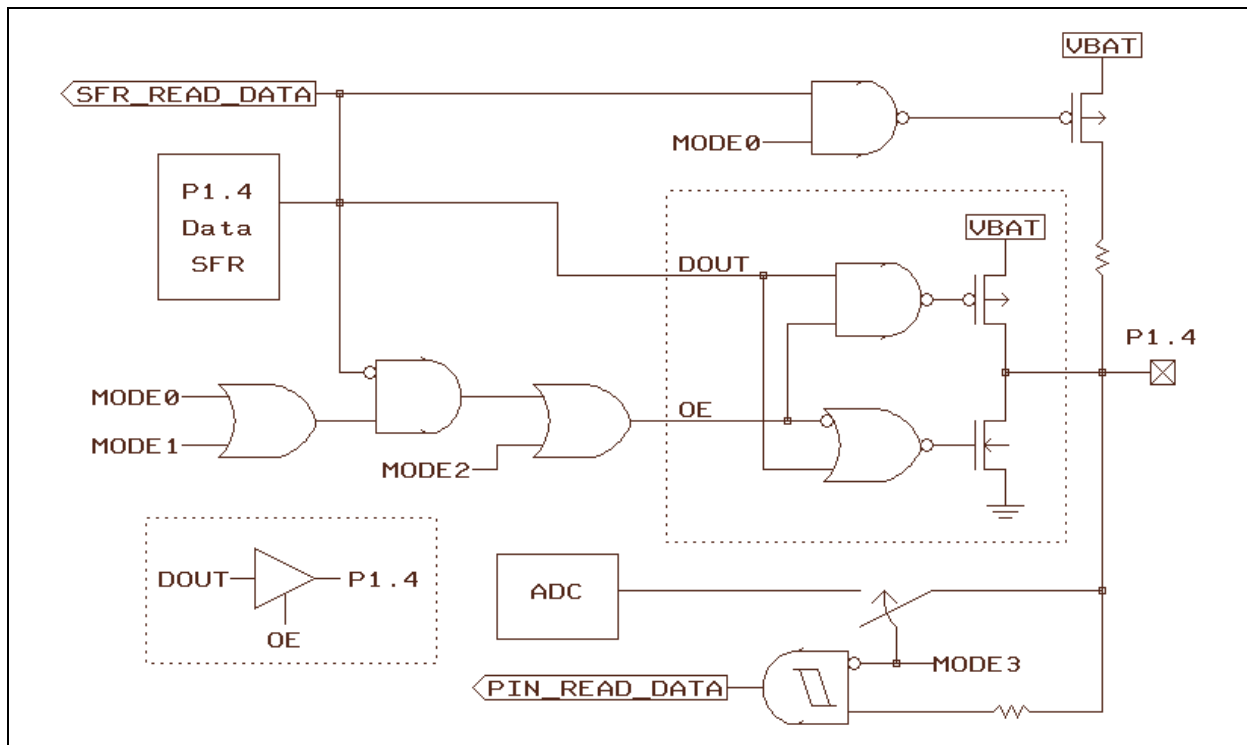
对于上表中，“**CMOS 推挽**” (CMOS Push-Pull) 引脚意味着它可以驱动低和驱动高至少 4mA 的电流。我们不建议使用这种引脚作为输入功能。

一个“**开漏**” (Open Drain) 引脚意味着它可以驱动低至少 4mA 电流, 但只能小电流 (<20 μ A) 驱动高。它可以用作输入或输出功能, 并且通常需要一个外部上拉电阻。

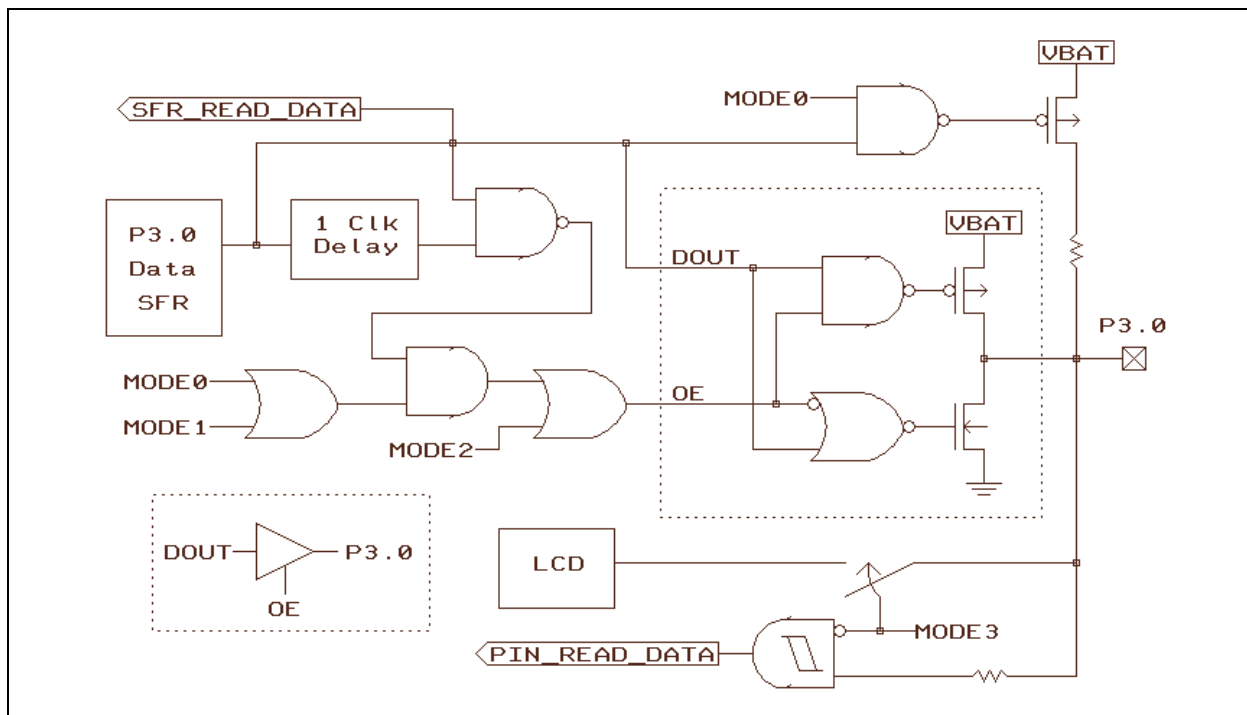
8051 标准引脚是一个“**伪开漏**” (Pseudo Open Drain) 引脚。它可以于低电平输出时驱动低至少 4mA 电流, 并于输出从低到高时, 至少 1~2 个时钟周期驱动高 4mA 电流, 然后开为小电流 (<20 μ A), 以维持引脚在高电平。它可以用作输入或输出功能。



P1.0 引脚结构



P1.4 引脚结构



P3.0 引脚结构

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

 90h.7~0 **P1**: Port1 data

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: Port3 data

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

A2h.7~6 **P1MOD3**: P1.3 pin control.

00: Mode0

01: Mode1

10: Mode2

11: Mode3, P1.3 is ADC input.

A2h.5~4 **P1MOD2**: P1.2 pin control.

00: Mode0

01: Mode1

10: Mode2

11: Mode3, P1.2 is ADC input.

A2h.3~2 **P1MOD1**: P1.1 pin control.

00: Mode0

01: Mode1

10: Mode2

11: Mode3, P1.1 is ADC input.

A2h.1~0 **P1MOD0**: P1.0 pin control.

00: Mode0

01: Mode1

10: Mode2

11: Mode3, P1.0 为“Timer2 溢出除以 2/3/4” (T2O) 的 CMOS 推挽输出”

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

A3h.7~6 **P1MOD7**: P1.7 pin control.

00: Mode0

01: Mode1

10: Mode2

11: Mode3, P1.7 is ADC input.

A3h.5~4 **P1MOD6**: P1.6 pin control.

00: Mode0

01: Mode1

10: Mode2

11: Mode3, P1.6 is ADC input.

A3h.3~2 **P1MOD5**: P1.5 pin control.

00: Mode0

01: Mode1

10: Mode2

11: Mode3, P1.5 is ADC input.

A3h.1~0 **P1MOD4**: P1.4 pin control.

00: Mode0

01: Mode1

10: Mode2

11: Mode3, P1.4 is ADC input.

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	1	1	1	1	1	1	1	1

- A4h.7~6 **P3MOD3**: P3.3 pin control.
 00: Mode0
 01: Mode1
 10: Mode2
 11: Mode3, P3.3 is LCD Segment output.
- A4h.5~4 **P3MOD2**: P3.2 pin control.
 00: Mode0
 01: Mode1
 10: Mode2
 11: Mode3, P3.2 is LCD Segment output.
- A4h.3~2 **P3MOD1**: P3.1 pin control.
 00: Mode0
 01: Mode1
 10: Mode2
 11: Mode3, P3.1 is LCD Segment output.
- A4h.1~0 **P3MOD0**: P3.0 pin control.
 00: Mode0
 01: Mode1
 10: Mode2
 11: Mode3, P3.0 is LCD Segment output.

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- A5h.7~6 **P3MOD7**: P3.7 pin control.
 00: Mode0
 01: Mode1
 10: Mode2
 11: Mode3, P3.7 为“系统时钟(SYSCLK)除以 1/2/3/4”(TCO)的 CMOS 推挽输出”
- A5h.5~4 **P3MOD6**: P3.6 pin control.
 00: Mode0
 01: Mode1
 10: Mode2
 11: Mode3, P3.6 为“负 Timer1 溢出除以 2/3/4”(T1B)的 CMOS 推挽输出”
- A5h.3~2 **P3MOD5**: P3.5 pin control.
 00: Mode0
 01: Mode1
 10: Mode2
 11: Mode3, P3.5 为“正 Timer1 溢出除以 2/3/4”(T1O)的 CMOS 推挽输出”
- A5h.1~0 **P3MOD4**: P3.4 pin control.
 00: Mode0
 01: Mode1
 10: Mode2
 11: Mode3, P3.4 为“触摸按键电荷收集引脚(CLD)”

7.2 P2.7

P2.7 只能用作施密特触发输入或开漏输出, 上拉电阻始终启用。P2.7 引脚与 RSTn, INT2 和闪存 VPP 功能共享。

7.3 P2.6~P2.0 和 Port0

这些引脚与 LCD, RFC, 晶振和 SPI 共享。如果一个 Port0/2 的引脚定义为 I/O 引脚, 它可作为推挽输出或施密特触发输入。该引脚的上拉功能是由 SFR 位 PxOE.n=0 和 Px.n=1 所设置。

P2.6~P2.0 / Port0 引脚功能	P2OE.n / P0OE.n	P2.n / P0.n SFR data	引脚状态	电阻上拉	数位输入
输入	0	0	高阻抗	N	Y
	0	1	电阻上拉	Y	Y
CMOS 推挽输出	1	0	驱动低	N	N
	1	1	驱动高	N	N

P2.6~P2.0 & Port0 I/O 引脚功能表

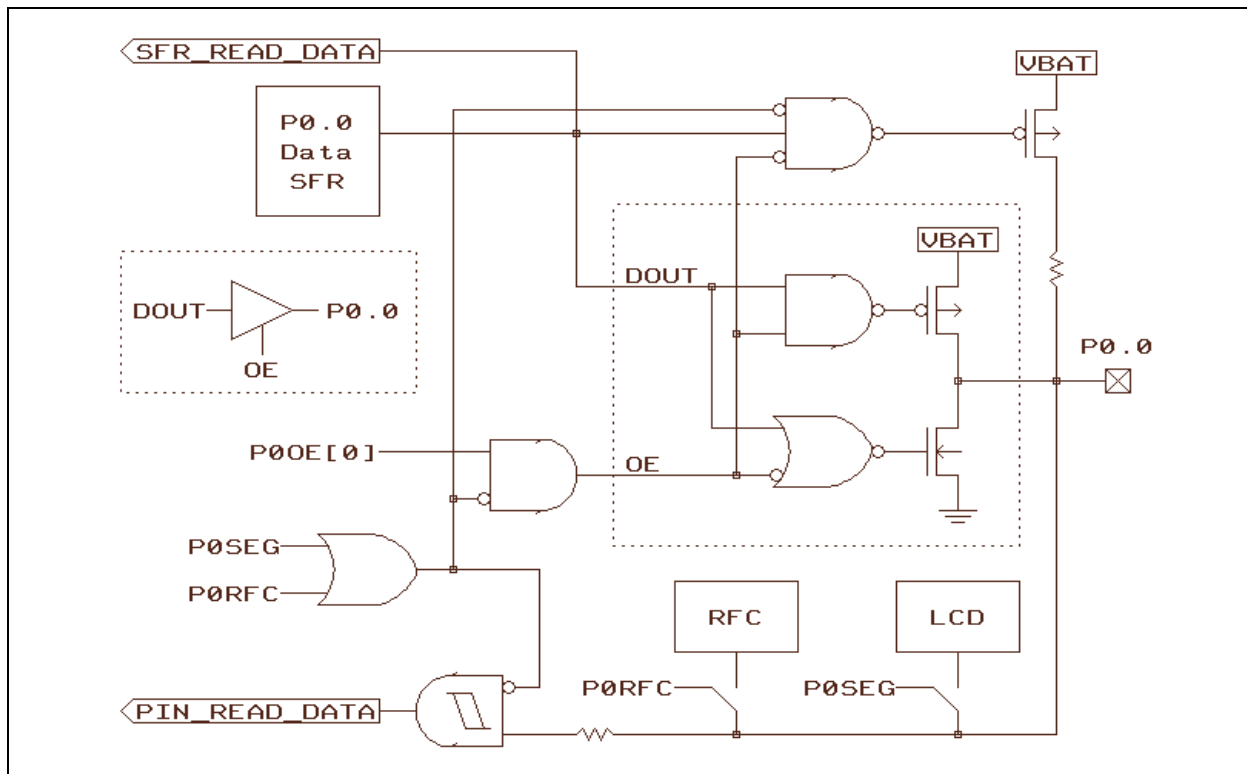
引脚名称	Wake-up	RFC	SPI	SXT/FXT	LCD	其他
P0.0		RFCX			SEG19	
P0.1		RFC0R			SEG18	
P0.2		RFC1R			SEG17	
P0.3		RFC2R			SEG16	
P0.4					SEG15	
P0.5					SEG14	
P0.6					SEG13	
P0.7				SX1		
P2.0				SX2		
P2.1				FX1	SEG12	
P2.2				FX2	SEG11	
P2.3					SEG10	
P2.4			MOSI		SEG22	
P2.5			SCK		SEG21	
P2.6			MISO		SEG20	
P2.7	Y					INT2, RSTn, VPP

Port0, Port2 多重功能表

Port0/Port2 引脚的替代功能所需的 SFR 设置如下。

替代功能	P2OE.n / P0OE.n	P2.n / P0.n SFR data	引脚状态	其他必要的 SFR 设置
RFCX, RFC0R~RFC2R	0	X	RFC 时钟振荡	PINMODE, RFCON
MOSI, SCK, MISO	0	0	SPI 通讯	PINMODE, SPCON
SX1, SX2, FX1, FX2	0	1	晶体振荡	PINMODE, CLKCON
SEG10~SEG22	0	X	LCD 波形输出	PINMODE

Port0, Port2 替代功能模式设置



P0.0 引脚结构

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

80h.7~0 **P0**: Port0 data, 也可以控制 P0.n 引脚的上拉功能。如果 P0.n SFR 的数据是“1”和相应的 P0OE.n=0(输入模式), 上拉使能。

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.7 **P2.7**: P2.7 data, 0=开漏输出低电平, 1=施密特触发输入, 电阻上拉

A0h.6~0 **P2.6~P2.0**: P2.6~P2.0 data, 也可以控制 P2.n 引脚的上拉功能。如果 P2.n SFR 的数据是“1”和相应的 P2OE.n=0(输入模式), 上拉使能。

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0OE	P0OE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

91h.7~0 **P0OE**: Port0 CMOS 推挽输出使能控制, 1=使能

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2OE	-	P2OE						
R/W	-	R/W						
Reset	-	0	0	0	0	0	0	0

93h.6~0 **P2OE**: P2.6~P2.0 pin CMOS 推挽输出使能控制, 1=使能

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMODE	–	P2HSEG		P2LSEG		POSEG		
R/W	–	R/W		R/W		R/W		
Reset	–	1	1	1	1	1	1	1

- 92h.6~5 **P2HSEG**: P2.4~P2.6引脚LCD模式控制
 00: P2.4~P2.6 are I/O pins
 01: P2.4 and P2.5 are I/O pins, P2.6 is LCD Segment pin
 10: P2.4 is I/O pin, P2.5 and P2.6 are LCD Segment pins
 11: P2.4~P2.6 are LCD Segment pins
- 92h.4~3 **P2LSEG**: P2.1~P2.3引脚LCD模式控制
 00: P2.1~P2.3 are I/O pins
 01: P2.1 and P2.2 are I/O pins, P2.3 is LCD Segment pin
 10: P2.1 is I/O pin, P2.2 and P2.3 are LCD Segment pins
 11: P2.1~P2.3 are LCD Segment pins
- 92h.2~0 **POSEG**: Port0引脚LCD模式控制
 000: P0.0~P0.6 are I/O pins
 001: P0.0~P0.5 are I/O pins, P0.6 is LCD Segment pin
 010: P0.0~P0.4 are I/O pins, P0.5~P0.6 are LCD Segment pins
 011: P0.0~P0.3 are I/O pins, P0.4~P0.6 are LCD Segment pins
 100: P0.0~P0.2 are I/O pins, P0.3~P0.6 are LCD Segment pins
 101: P0.0~P0.1 are I/O pins, P0.2~P0.6 are LCD Segment pins
 110: P0.0 is I/O pin, P0.1~P0.6 are LCD Segment pins
 111: P0.0~P0.6 are LCD Segment pins

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	–	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	–	R/W	R/W	
Reset	0	0	0	0	–	0	0	0

- BCh.7 **SPEN**: SPI 使能
 0: SPI 关闭
 1: SPI 使能, P2.4~P2.6为SPI功能引脚

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RFCON	P0RFC		T0SEL		RFCPSC		RFCS	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	1	1	0	0

- AFh.7~6 **P0RFC**: P0.0~P0.3引脚RFC模式控制
 00: P0.0~P0.3 are not RFC pins
 01: P0.0 and P0.1 are RFC pins, P0.2 and P0.3 are not RFC pins
 10: P0.0~P0.2 are RFC pins, P0.3 is not RFC pin
 11: P0.0~P0.3 are RFC pins

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	FCKTYPE	FSUBSEL	SELFCK	SCKTYPE	STPFSUB	CLKPSC		
R/W	R/W	R/W	R/W	R/W	R/W	R/W		
Reset	0	0	0	0	0	1	0	1

- D8h.6 **FSUBSEL**: 设为 1, FSUBCLK 选择 FXT, P2.1 和 P2.2 是晶振引脚
 D8h.4 **SCKTYPE**: 设为 1, 慢钟选择 SXT, P0.7 和 P2.0 是晶振引脚

注: 在晶振模式下, 用户必须将 P2.1/ P2.2 (FXT) 或 P0.7/ P2.0 (SXT) 引脚设为输入上拉。

8. Timers

Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器。Timer3 提供了一个实时时钟计数。相较于传统的 12T 8051, 该芯片的 Timer0/1/2 使用 2 个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2 个系统时钟”率增加; 在计数器模式下, T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟以便芯片可以辨识。除了标准 8051 定时器功能, T1O 和 T1B 引脚输出正, 负“Timer1 溢出除以 2/3/4”的信号, 而 T2O 引脚输出“Timer2 溢出除以 2/3/4”的信号。这些输出可以用于蜂鸣器的应用。Timer0 的额外效用是支持 RFC/SXT 计数。RFC 时钟除以 1/4/16/64 信号或 SXT 信号可代替 T0 引脚作为 Timer0 的事件计数输入。

8.1 Timer0 / Timer1

TCON 和 TMOD 用于设置操作模式, 并控制 Timer0/1 的运行和中断产生, 定时器/计数器的值存储在两个成对的 8 位寄存器 (TL0, TH0, 和 TL1, TH1)。

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1:** Timer1 溢出标志
当 Timer1 溢出时由 H/W 设为 1。
当 CPU 转向进入中断服务程序时由 H/W 清为 0。
- 88h.6 **TR1:** Timer1 运行控制
0: Timer1 停止
1: Timer1 运行
- 88h.5 **TF0:** Timer0 溢出标志
当 Timer0 溢出时由 H/W 设为 1。
当 CPU 转向进入中断服务程序时由 H/W 清为 0。
- 88h.4 **TR0:** Timer0 运行控制
0: Timer0 停止
1: Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1:** Timer1 门控位
0: 当 TR1 位设置时 Timer1 使能
1: 只有当 INT1 引脚为高, TR1 位设置时 Timer1 使能
- 89h.6 **CT1N:** Timer1 计数器/定时器选择位
0: 定时器模式, Timer1 的数据以 2 个系统时钟周期率增加
1: 计数器模式, Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1:** Timer1 模式选择
00: 8 位定时器/计数器 (TH1) 和 5 位预分频器 (TL1)
01: 16 位定时器/计数器
10: 8 位自动重载定时器/计数器 (TL1), 溢出时从 TH1 重新装载。
11: Timer1 停止
- 89h.3 **GATE0:** Timer0 门控位
0: 当 TR0 位设置时 Timer0 使能
1: 只有当 INT0 引脚为高, TR0 位设置时 Timer0 使能

89h.2 CT0N: Timer0 计数器/定时器选择位

0: 定时器模式, Timer0 的数据以 2 个系统时钟周期率增加

1: 计数器模式, Timer0 的数据在 T0 引脚的下降沿时增加

89h.1~0 TMOD0: Timer0 模式选择

00: 8 位定时器/计数器 (TH0) 和 5 位预分频器 (TL0)

01: 16 位定时器/计数器

10: 8 位自动重载定时器/计数器 (TL0), 溢出时从 TH0 重新装载。

11: TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器, 使用 Timer1 的 TR1 和 TF1 位。

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

 8Ah.7~0 **TL0:** Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

 8Bh.7~0 **TL1:** Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

 8Ch.7~0 **TH0:** Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

 8Dh.7~0 **TH1:** Timer1 数据的高字节

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RFCON	PORFC		T0SEL		RFCPSC		RFCS	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	1	1	0	0

 AFh.5~4 **T0SEL:** Timer0 计数器模式 (CT0N=1) 下之 T0 输入选择

00: P3.4 pin (8051 标准)

01: RFC 时钟除以 1/4/16/64

10: SXT 时钟

11: RFC 时钟除以 1/4/16/64 之後, 再通過 Timer2 溢出门控

 AFh.3~2 **RFCPSC:** RFC 时钟分频器给 Timer0

00: 除以 64

01: 除以 16

10: 除以 4

11: 除以 1

8.2 Timer2

Timer2 通过 TCON2 寄存器存储在 TL2 和 TH2 的定时器/计数器 2 低和高字节和存储在 RCAP2L 和 RCAP2H 的 Timer2 重载/捕获寄存器的高和低字节来控制。

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- C8h.7 **TF2**:Timer2 溢出标志
当定时器/计数器 2 溢出时由 H/W 设置, 除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。
- C8h.6 **EXF2**:T2EX 中断引脚下降沿标志
如果 EXEN2=1, 当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。
- C8h.5 **RCLK**:UART 接收时钟控制位
0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口接收时钟
1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口接收时钟
- C8h.4 **TCLK**:UART 发送时钟控制位
0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口发送时钟
1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口发送时钟
- C8h.3 **EXEN2**:T2EX 引脚使能
0:T2EX 引脚禁用
1:T2EX 引脚使能, 如果 RCLK=TCLK=0, 当检测出 T2EX 引脚的下降沿跳变, 这引起捕获或重载
- C8h.2 **TR2**:Timer2 运行控制
0:Timer2 停止
1:Timer2 运行
- C8h.1 **CT2N**:Timer2 计数器/定时器选择位
0: 定时器模式, Timer2 的数据以 2 个系统时钟周期率增加
1: 计数器模式, Timer2 的数据在 T2 引脚的下降沿时增加
- C8h.0 **CPRL2N**:Timer2 捕捉/重载控制位
0: 重载模式, 如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载
1: 捕捉模式, 如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉
如果 RCLK=1 或 TCLK=1 时, CPRL2N 被忽略, Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**: Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**: Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**: Timer2 数据的低字节

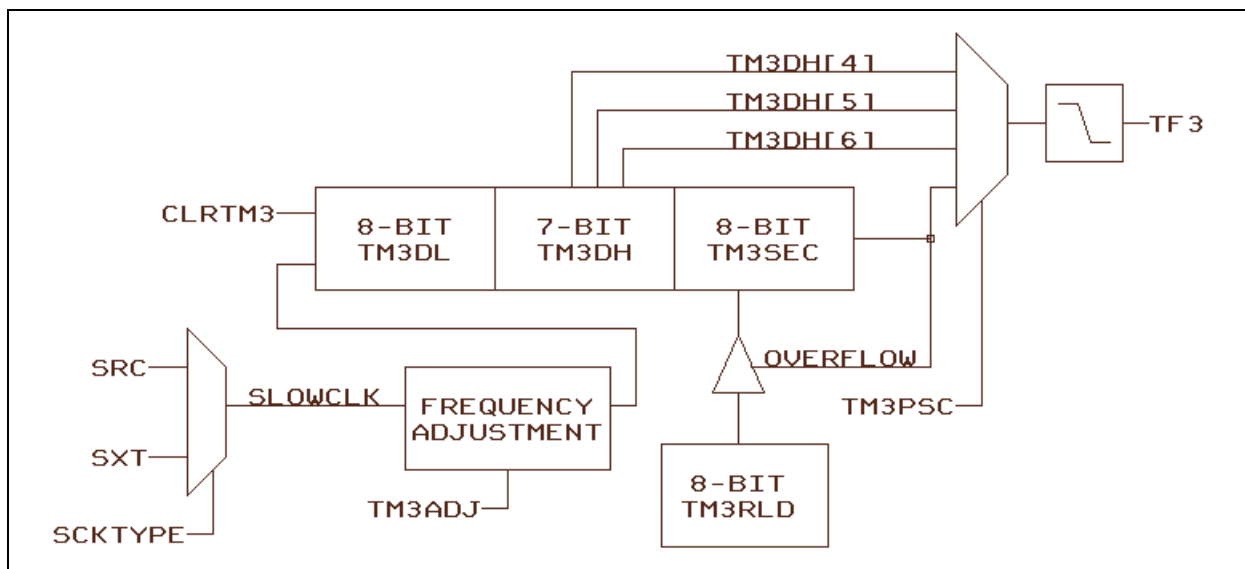
SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**: Timer2 数据的高字节

8.3 Timer3

23 位宽的 Timer3 於溢出时会重新加载其最高 8 位。其时基为慢钟 (SRC or SXT). Timer3 可以于不同的速率周期性地产生中断, 而其计数数据可由 CPU 读出。然而, 当 CPU 时钟非慢钟时, CPU 的时钟源和 Timer3 不同, CPU 可能读到“变化中的 Timer3 数据”。F/W 必须有一定的过滤机制来避免这类非稳定性。相比之下, 无论 CPU 时钟源是什么, Timer3 的中断没有不明确的行为。

Timer3 可以通过“TM3ADJ SFR”控制它的计数率。此功能可补偿 32768 SXT 晶体的精确度。当 TM3ADJ=0 时, Timer3 会在每个 SXT 时钟周期正常的增加其计数数据。如果 TM3ADJ 设置为正向调整, Timer3 会在特别的 SXT 周期多加一次, 从而得到较快的计数速度。如果 TM3ADJ 设置为负向调整, Timer3 会在特别的 SXT 周期停止增加, 导致较慢的计数率。该调整为每一步 0.477ppm, 总可调范围为 $\pm 61\text{ppm}$ 。



Timer3 的结构

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	-	-	-	TKSOC	CLRWDT	CLRTM3	STPRFC	DPSEL
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
Reset	-	-	-	0	0	0	0	0

F8h.2 **CLRTM3**: 设置1以清除Timer3, 也使TM3SEC重载

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	SXTGAIN		STPPCK	PWRFLT	UART1W	WDTPSC	TM3PSC	
R/W	R/W		R/W	R/W	R/W	R/W	R/W	
Reset	1	1	0	0	0	0	0	1

94h.1~0 **TM3PSC:** Timer3中断率控制
 00: 当23位计数数据溢出时Timer3发生中断
 01: Timer3 中断率是 32768 个慢时钟周期 (1.0 秒 SXT)
 10: Timer3 中断率是 16384 个慢时钟周期 (0.5 秒 SXT)
 11: Timer3 中断率是 8192 个慢时钟周期 (0.25 秒 SXT)

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	-	-	-	-	TKIF	IE2	P1IF	TF3
R/W	-	-	-	-	R/W	R/W	R/W	R/W
Reset	-	-	-	-	0	0	0	0

95h.0 **TF3:** Timer3 中断标志
 当 Timer3 到达 TM3PSC 设置周期时由 H/W 设置。
 当程序执行中断服务程序时被自动清除。S/W 也可以写 FEh 到 INTFLG 清除该标志。(注 2)

SFR B3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM3SEC	TM3SEC							
R/W	R							
Reset	-	-	-	-	-	-	-	-

B3h.7~0 **TM3SEC:** Timer3 的计数数据位 22~15

SFR B4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM3DL	TM3DL							
R/W	R							
Reset	-	-	-	-	-	-	-	-

B4h.7~0 **TM3DL:** Timer3 的计数数据位 7~0

SFR B5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM3DH	TM3DH							
R/W	R							
Reset	-	-	-	-	-	-	-	-

B5h.6~0 **TM3DH:** Timer3 的计数数据位 14~8

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM3RLD	TM3RLD							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

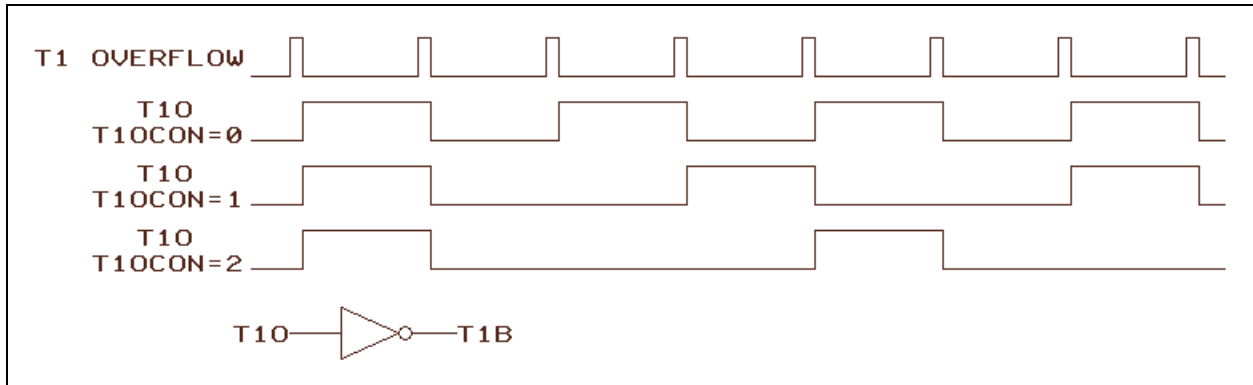
B6h.7~0 **TM3RLD:** Timer3 溢出重载 Timer3 位 22~15 数据(TM3SEC)

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM3ADJ	TM3ADJS	TM3ADJ						
R/W	R/W	R/W						
Reset	0	0	0	0	0	0	0	0

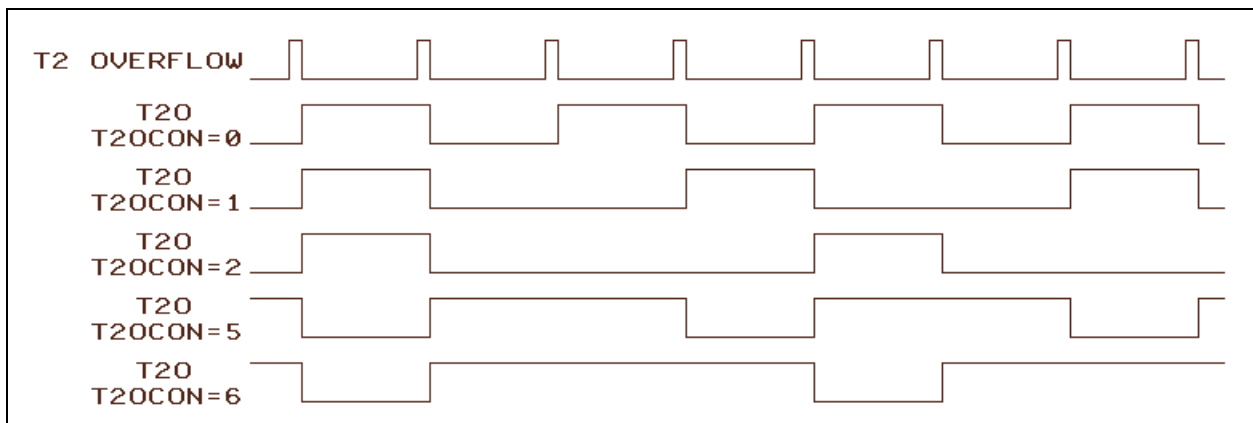
B7h.7 **TM3ADJS:** Timer3 的调整方向
 0: Timer3 正向调整, 以增加 Timer3 计数率
 1: Timer3 负向调整, 以减少 Timer3 计数率
 B7h.6~0 **TM3ADJ:** Timer3 调整幅度, 每个 LSB 为 0.477ppm
 调整的计算公式为 $\pm \text{TM3ADJ} * 0.477\text{ppm}$ 。总的可调范围为 $\pm 61\text{ppm}$

8.4 T1O, T1B 和 T2O 输出控制

此装置可以产生各种频率或占空比的波形输出 (CMOS 推挽格式), 用于蜂鸣器或远程红外控制应用。T1O, T1B 和 T2O 波形由 Timer1/Timer2 溢出信号导出。用户可以由定时器自动重载值控制它们的频率, 并设置其占空比由 TOCON SFR。该引脚输出功能是通过设置 P3MODH SFR 模式 3 到各引脚启用(第 7 章)。



T1OCON 与 T1O, T1B 波形



T2OCON 与 T2O 波形

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TOCON	T1OCON		T2OCON			TCOCON		
R/W	R/W		R/W			R/W		
Reset	0	0	0	0	0	0	0	0

A6h.7~6 **T1OCON**: T1O 引脚占空比和频率控制

00: 1/2 占空比, 1/2 Timer1 溢出频率

01: 1/3 占空比, 1/3 Timer1 溢出频率

10: 1/4 占空比, 1/4 Timer1 溢出频率

A6h.5~3 **T2OCON**: T2O 引脚占空比和频率控制

000: 1/2 占空比, 1/2 Timer2 溢出频率

001: 1/3 占空比, 1/3 Timer2 溢出频率

010: 1/4 占空比, 1/4 Timer2 溢出频率

101: 2/3 占空比, 1/3 Timer2 溢出频率

110: 3/4 占空比, 1/4 Timer2 溢出频率

注6: 另请参阅第 6 章有关 Timer0/1/2/3 的中断使能和优先级的更多信息

9. UART

UART 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器, SBUF 是数据寄存器。数据被写入到 SBUF 用于传输, 而 SBUF 被读取时, 可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。除了标准的 8051 的全双工模式, 该芯片还提供了一线模式。如果 UART1W 位被设置, 发送和接收数据采用 P3.1 脚。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

87h.7 **SMOD**: UART 双波特率控制位
 0: 禁止 UART 双波特率
 1: 允许 UART 双波特率

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	SXTGAIN		STPPCK	PWRFLT	UART1W	WDTPSC	TM3PSC	
R/W	R/W		R/W	R/W	R/W	R/W	R/W	
Reset	1	1	0	0	0	0	0	1

94h.3 **UART1W**: 一线 UART 模式使能, TXD/RXD 都使用 P3.1 脚
 0: 禁止一线 UART 模式
 1: 允许一线 UART 模式

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0, SM1**: 串行端口模式选择位 0, 1
 00: 模式 0: 8 位移位寄存器, 波特率 = $F_{SYSCLK}/2$
 01: 模式 1: 8 位 UART, 波特率可变
 10: 模式 2: 9 位 UART, 波特率 = $F_{SYSCLK}/32$ 或 64
 11: 模式 3: 9 位 UART, 波特率可变

98h.5 **SM2**: 串行端口模式选择位 2
 SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3, 当 SM2 设置, 如果接收到的第九位数据为 0, 那么接收中断不会产生。在模式 1 中, 除非有效的停止位被接收, 接收中断不会产生。在模式 0 中, SM2 应为 0。

98h.4 **REN**: UART 接收使能
 0: 禁止接收
 1: 允许接收

98h.3 **TB8**: 发送位元 8, 为模式 2 和 3 发送第九位

98h.2 **RB8**: 接收位元 8, 包含模式 2 和 3 的接收第九位; 如果 SM2=0, 为模式 1 停止位

98h.1 **TI**: 发送中断标志
 在模式 0 第 8 位的结束时, 或在其他模式中停止位开始时, 由 H/W 设为 1。必须通过 S/W 清零。

98h.0 **RI**: 接收中断标志
 在模式 0 第 8 位的结束时, 或在其他模式下停止位的取样点, 由 H/W 设为 1。必须通过 S/W 清零。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	–	–	–	–	–	–	–	–

99h.7~0 **SBUF**:UART 发送和接收数据。发送写入该位置数据和接收从该位置读取数据,但路径是独立的。

F_{SYSCLK} 表示系统时钟频率, UART 波特率计算方法如下:

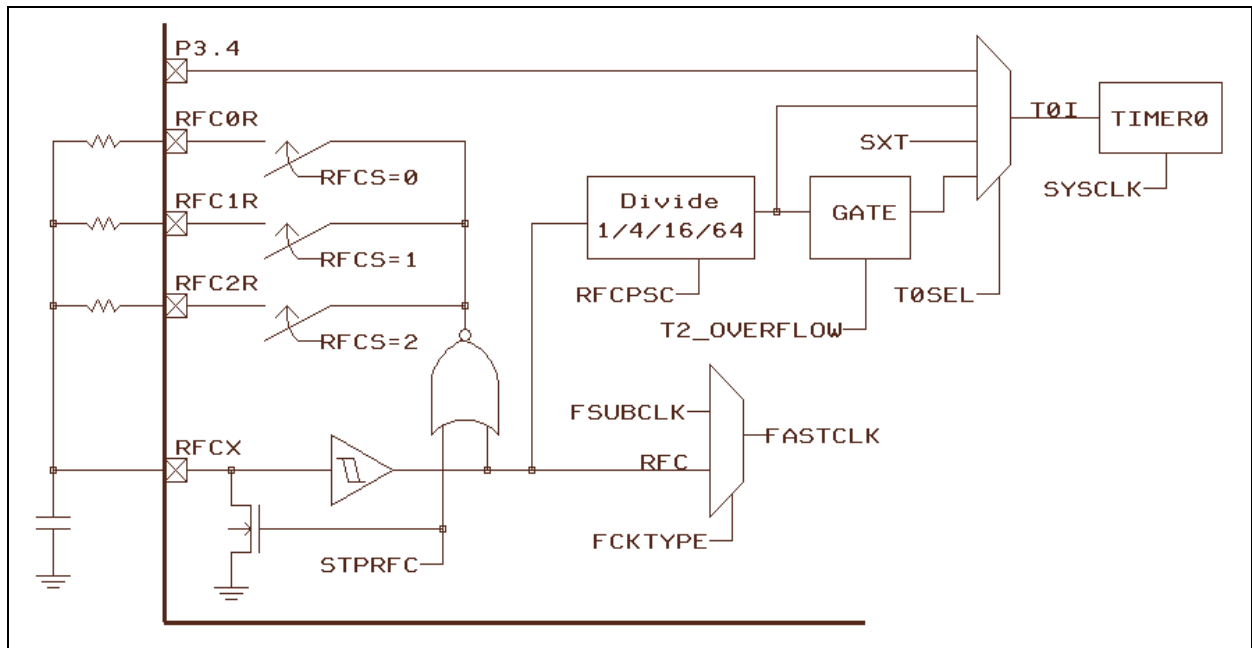
- **模式 0:**
波特率 = $F_{SYSCLK} / 2$
- **模式 1, 3:** 如果使用 Timer1 自动重载模式
波特率 = $(SMOD + 1) \times F_{SYSCLK} / (32 \times 2 \times (256 - TH1))$
- **模式 1, 3:** 如果使用 Timer2
波特率 = $Timer2 \text{ overflow rate} / 16 = F_{SYSCLK} / (32 \times (65536 - RCP2H, RCP2L))$
- **模式 2:**
波特率 = $(SMOD + 1) \times F_{SYSCLK} / 64$

注6: 另请参阅第 6 章的有关 UART 中断使能和优先级的更多信息。

注8: 同时参阅第 8 章有关 Timer2 如何控制 UART 时钟的详细信息

10. 阻频转换器(RFC)

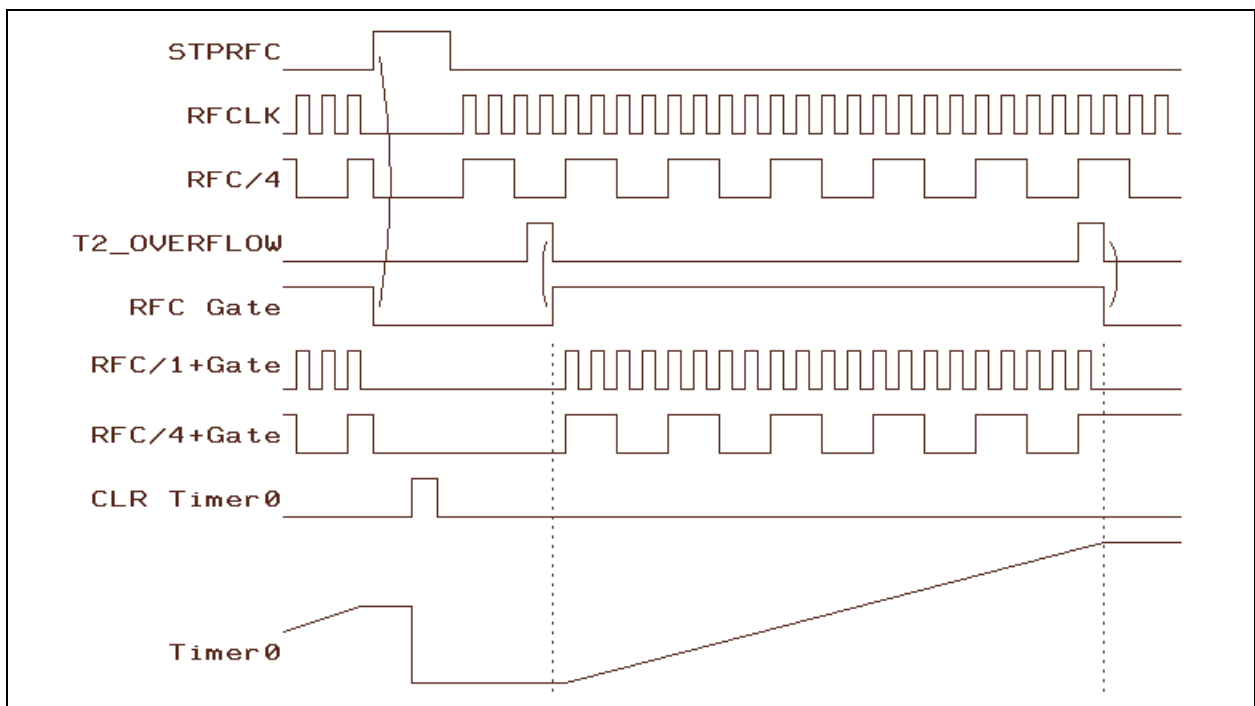
RFC 模块可以由 RFCX 引脚和 RFC0R, RFC1R 或 RFC2R 引脚构建 RC 振荡电路。一个时间内只有一组 RC 振荡电路处于有效状态。有 2 种方法来测量 RFC 时钟频率。一是设置 RFC 作为 Timer0 计数器模式输入, 另一种是设置 RFC 作为系统时钟并指定 Timer0, 1 或 2 在定时器模式下运行。由于 SXT / FXT 是一个精确的定时源, 用户可以通过比较其由 RFC 和 SXT/FXT 运行定时器的计数数据导出 RFC 频率。



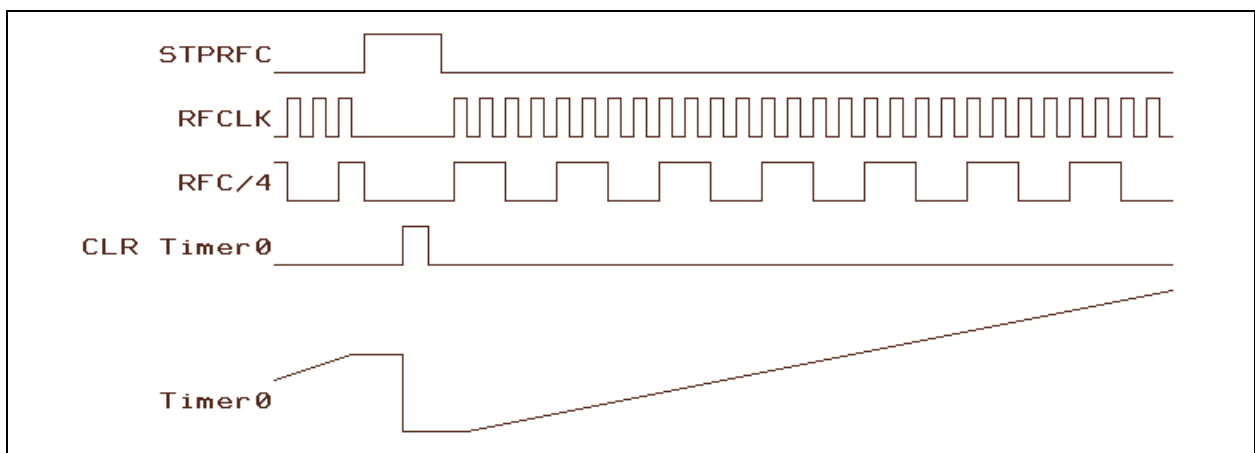
RFC 结构

Timer0 的事件计数输入可通过 T0SEL SFR 选择。当 T0SEL=3 时, RFC 时钟是由 Timer2 的溢出周期门控, 然后进入 Timer0 事件计数。此功能有助于 Timer0 通过 H/W 自动启动和停止的门控, 更准确地计数 RFC 频率和周期。下面描述这种用法的步骤。

1. 正确设置 PINMODE/RFCON SFR, 以建立 RFC 振荡电路。
2. CT0N=1 (Timer0 计数器模式), CT2N=0 (Timer2 定时器模式), T0SEL=3, FCKTYPE=0。
3. STPRFC=1, RFC 门控被清零, 等待下一个 Timer2 溢出启动。
4. 清除 Timer0, 写入 TH2/TL2 数据, 以便加速 Timer2 溢出 (例如: TH2=0xFF, TL2=0x00)。
5. STPRFC=0, RFC 开始, 等待接下来的两个 Timer2 溢出。
6. Timer0 只在两个 Timer2 溢出的时隙计数 RFC 时钟。



RFC 时钟與 Timer0, T0SEL = 3



RFC 时钟與 Timer0, T0SEL = 1

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RFCON	P0RFC		T0SEL		RFCPSC		RFCS	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	1	1	0	0

- AFh.7~6 **P0RFC**: P0.0~P0.3引脚RFC模式控制。
 00: P0.0~P0.3 are not RFC pins
 01: P0.0 and P0.1 are RFC pins, P0.2 and P0.3 are not RFC pins
 10: P0.0~P0.2 are RFC pins, P0.3 is not RFC pin
 11: P0.0~P0.3 are RFC pins
- AFh.5~4 **T0SEL**: Timer0 计数器模式 (CT0N=1) T0 输入选择
 00: P3.4 引脚 (8051 标准)
 01: RFC 时钟除以 1/4/16/64
 10: SXT 时钟
 11: RFC 时钟除以 1/4/16/64 之後, 再通過 Timer2 溢出门控
- AFh.3~2 **RFCPSC**: RFC 时钟分频到 Timer0
 00: 除以 64
 01: 除以 16
 10: 除以 4
 11: 除以 1
- AFh.1~0 **RFCS**: RFC 转换通道选择
 00: RFC0R (P0.1)
 01: RFC1R (P0.2)
 10: RFC2R (P0.3)

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	–	–	–	TKSOC	CLRWDT	CLRTM3	STPRFC	DPSEL
R/W	–	–	–	R/W	R/W	R/W	R/W	R/W
Reset	–	–	–	0	0	0	0	0

- F8h.1 **STPRFC**: 设置1停止RFC时钟振荡

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	FCKTYPE	FSUBSEL	SELFCK	SCKTYPE	STPFSUB	CLKPSC		
R/W	R/W	R/W	R/W	R/W	R/W	R/W		
Reset	0	0	0	0	0	1	0	1

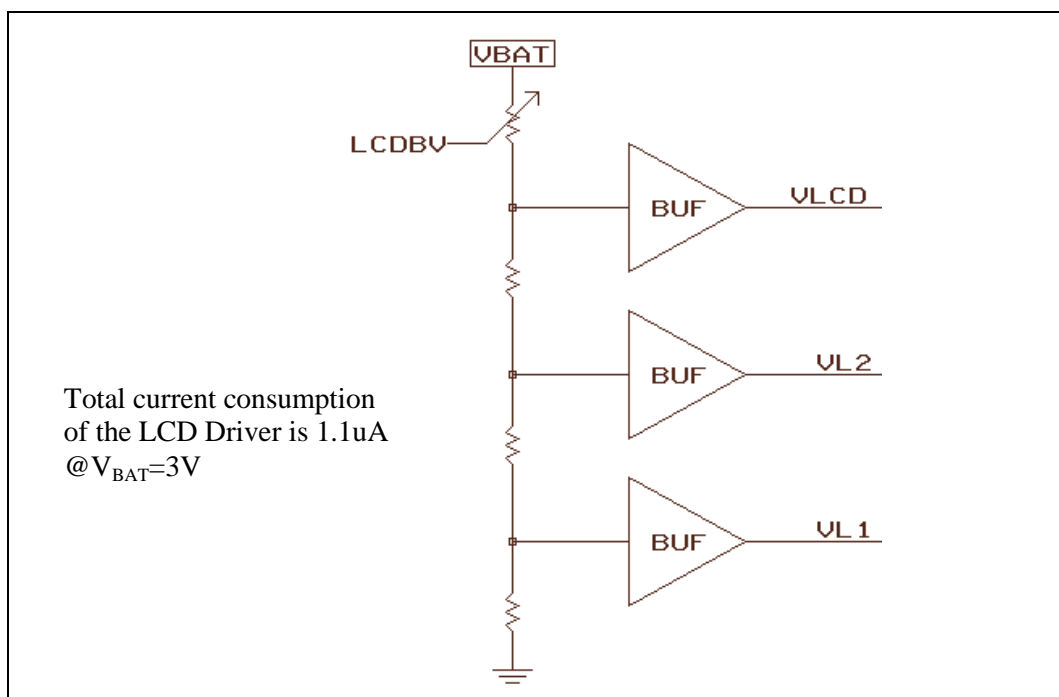
- D8h.7 **FCKTYPE**: 快钟类型, 该位只能在慢钟模式 (SELFCK=0) 时改变。
 0: 快钟选择 FSUBCLK (FRC 或 FXT)
 1: 快钟选择 RFC, 设置该位为 1 之前, S/W 必须先设定好 RFC 振荡电路相关 SFR。

注: P0SEG 的优先级高于 P0RFC, 使用 RFC 功能时, S/W 必须禁用引脚的 LCD 模式

11. LCD 驱动器

1/3 偏压 LCD 驱动器能够驱动液晶显示面板 3~8 COMs 和 10~27 SEGs。VCLD 电压电平是由 LCDBV SFR 控制, 具有 16 个亮度级别。VL1 和 VL2 电压电平是由 VLCD 划分, $VL2 = VLCD * 2/3$, $VL1 = VLCD/3$ 。LCD 时钟可以使用慢钟或 FSUBCLK 驱动。如果 SXT 是时钟源, 根据 LCD 占空比和 LCDFRM SFR, LCD 帧速率可调整的范围从 43Hz 到 98Hz。如果 SRC 是 LCD 的时钟源, VDD 电平对 SRC 频率和 LCD 帧频将影响较大。如果 FRC 是 LCD 时钟源, VDD 电压的变化对 FRC 和 LCD 的时钟频率影响则较小。

该 VL1, VL2 和 VLCD (VL3) 之 1/3 偏压是运用 tenx 独特的 LCD 驱动技术。它可以驱动非常大的 LCD 面板而且没有波形失真, 但驱动硬件本身仅消耗 1.1uA @ $V_{BAT}=3V$ 。LCD 驱动器不需要任何芯片外部元件, 所以它没有引脚连接。



内置 LCD 驱动器结构

LCD Frame Rate (Hz)	LCDFRM (SFR B1h.1~0)			
	00	01	10	11
1/3 Duty	57	68	85	98
1/4 Duty	43	51	64	73
1/5 Duty	46	59	68	82
1/6 Duty	57	68	85	98
1/7 Duty	49	59	73	84
1/8 Duty	43	51	64	73

LCD 帧速率, 当 LCDCLK = SXT

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCON	DSPON	LCDUTY			LCDCLK		LCDFMR	
R/W	R/W	R/W			R/W		R/W	
Reset	0	0	0	1	0	0	1	0

B1h.7 **DSPON**: LCD / LED 使能控制

- 0: LCD / LED 关闭
- 1: LCD / LED使能

B1h.6~4 **LCDUTY**: LCD / LED 占空比控制

- 000: 1/3 duty
- 001: 1/4 duty
- 010: 1/5 duty
- 011: 1/6 duty
- 100: 1/7 duty
- 101: 1/8 duty

B1h.3~2 **LCDCLK**: LCD / LED 时钟源控制

- 00: SLOWCLK
- 01: SLOWCLK/2
- 10: FSUBCLK/128
- 11: FSUBCLK/256

B1h.1~0 **LCDFMR**: LCD / LED 帧速率控制。如果SXT是LCD时钟源, LCD 帧速率如以上表格所示。

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCON2	–	–	LEDMODE	LEDPL	LCDBV			
R/W	–	–	R/W	R/W	R/W			
Reset	–	–	0	1	0	0	0	1

B2h.5 **LEDMODE**: LCD / LED 模式选择

- 0: LCD mode
- 1: LED mode

B2h.3~0 **LCDBV**: LCD 亮度, VLCD 电压电平控制

- 0000: VLCD = $V_{BAT} * 24/40$
- 0001: VLCD = $V_{BAT} * 25/40$
- 0010: VLCD = $V_{BAT} * 26/40$
- 0011: VLCD = $V_{BAT} * 27/40$
- 0100: VLCD = $V_{BAT} * 28/40$
- 0101: VLCD = $V_{BAT} * 29/40$
- 0110: VLCD = $V_{BAT} * 30/40$
- 0111: VLCD = $V_{BAT} * 31/40$
- 1000: VLCD = $V_{BAT} * 33/40$
- 1001: VLCD = $V_{BAT} * 34/40$
- 1010: VLCD = $V_{BAT} * 35/40$
- 1011: VLCD = $V_{BAT} * 36/40$
- 1100: VLCD = $V_{BAT} * 37/40$
- 1101: VLCD = $V_{BAT} * 38/40$
- 1110: VLCD = $V_{BAT} * 39/40$
- 1111: VLCD = V_{BAT}

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMODE	–	P2HSEG		P2LSEG		POSEG		
R/W	–	R/W		R/W		R/W		
Reset	–	1	1	1	1	1	1	1

92h.6~5 **P2HSEG**: P2.4~P2.6引脚LCD模式控制

- 00: P2.4~P2.6 are I/O pins
- 01: P2.4 and P2.5 are I/O pins, P2.6 is LCD Segment pin
- 10: P2.4 is I/O pin, P2.5 and P2.6 are LCD Segment pins
- 11: P2.4~P2.6 are LCD Segment pins

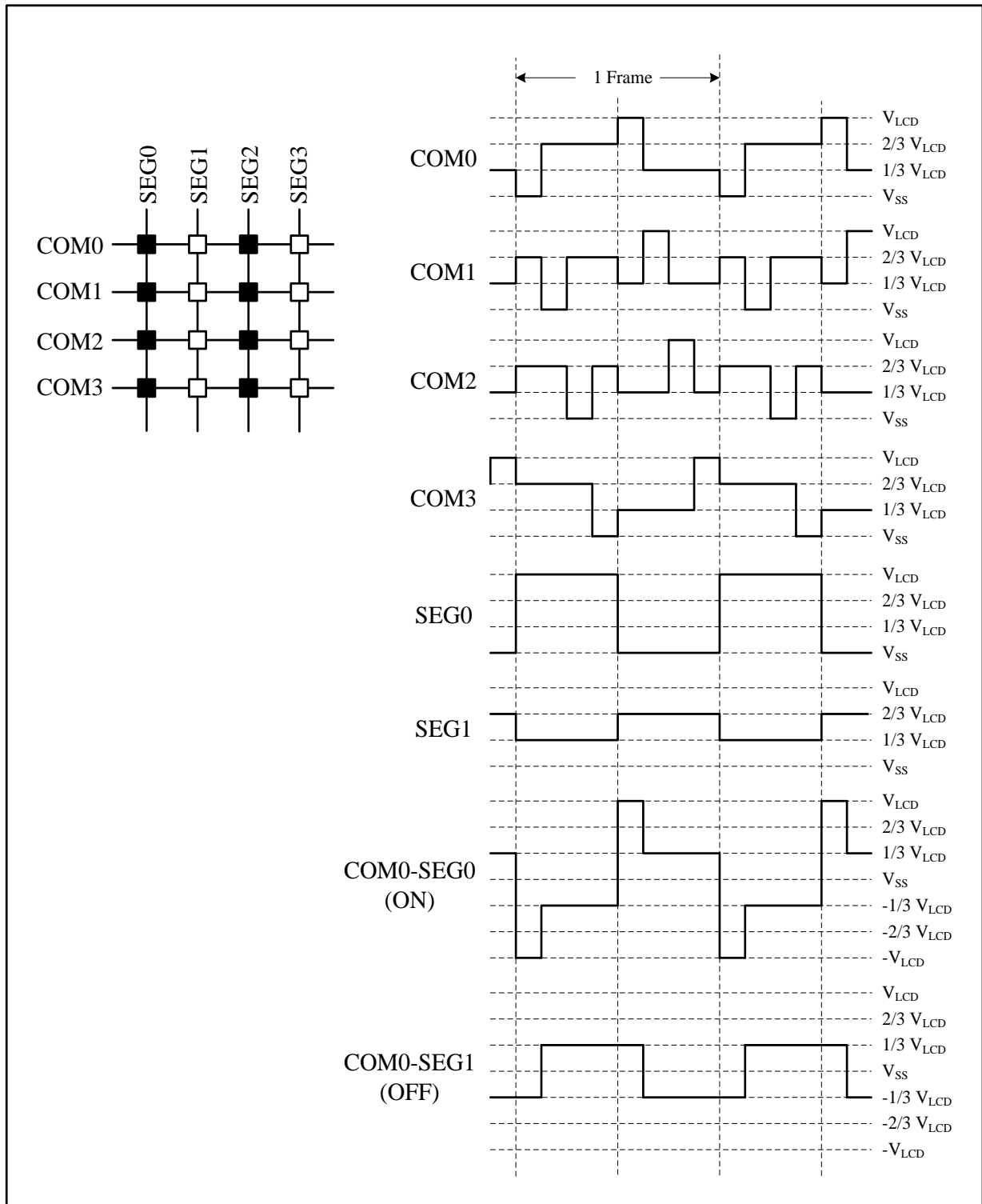


92h.4~3 **P2LSEG:** P2.1~P2.3引脚LCD模式控制
 00: P2.1~P2.3 are I/O pins
 01: P2.1 and P2.2 are I/O pins, P2.3 is LCD Segment pin
 10: P2.1 is I/O pin, P2.2 and P2.3 are LCD Segment pins
 11: P2.1~P2.3 are LCD Segment pins

92h.2~0 **P0SEG:** Port0引脚LCD模式控制
 000: P0.0~P0.6 are I/O pins
 001: P0.0~P0.5 are I/O pins, P0.6 is LCD Segment pin
 010: P0.0~P0.4 are I/O pins, P0.5~P0.6 are LCD Segment pins
 011: P0.0~P0.3 are I/O pins, P0.4~P0.6 are LCD Segment pins
 100: P0.0~P0.2 are I/O pins, P0.3~P0.6 are LCD Segment pins
 101: P0.0~P0.1 are I/O pins, P0.2~P0.6 are LCD Segment pins
 110: P0.0 is I/O pin, P0.1~P0.6 are LCD Segment pins
 111: P0.0~P0.6 are LCD Segment pins

	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
Adr	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
F000					SEG0	SEG0	SEG0	SEG0
F001				SEG1	SEG1	SEG1	SEG1	SEG1
F002			SEG2	SEG2	SEG2	SEG2	SEG2	SEG2
F003		SEG3	SEG3	SEG3	SEG3	SEG3	SEG3	SEG3
F004	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4
F005	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5
F006	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6
F007	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7
F008	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8
F009	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9
F00A	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10
F00B	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11
F00C	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12
F00D	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13
F00E	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14
F00F	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15
F010	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16
F011	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17
F012	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18
F013	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19
F014	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20
F015	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21
F016	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22
F017	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23
F018	SEG24	SEG24	SEG24	SEG24	SEG24	SEG24	SEG24	SEG24
F019	SEG25	SEG25	SEG25	SEG25	SEG25	SEG25	SEG25	SEG25
F01A	SEG26	SEG26	SEG26	SEG26	SEG26	SEG26	SEG26	SEG26

LCD RAM 映射 (8051's External Data Memory space)



LCD 波形, 1/3 Bias, 1/4 Duty, ($V_{LCD} = 3 \cdot V_{L1}$)

12. LED 驱动器

如果 LED 模式选项 LEDMODE (B2h.5) 被设为 1, 该芯片将切换 LCD 驱动器成为 LED 驱动器。它提供了 10 SEG (SEG0~SEG9) 和 4 COM (COM0~COM3) 驱动 LED 模块。对于 LED 应用, COM 引脚被指定为低电平有效而且有死区时间控制, 每个 COM 引脚可以低电平驱动 40mA 电流 @ $V_{BAT}=3V$ 。SEG 引脚可以由 LEDPL 的 SFR 定义为高电平或低电平有效。LED 和 LCD 模块共享相同的 LCDRAM 和下面几种共用的 SFR。

所有的 SEG 引脚可直流电平输出。在这种应用中, 用户需用同样的数据填充 LCDRAM SEG 字节。例如, 对于 SEG1 的低电平输出, 地址 0xF001 写 0x00; 对于 SEG9 的高电平输出, 地址 0xF009 写 0xFF。

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCON	DSPON	LCDUTY			LCDCLK		LCDFMR	
R/W	R/W	R/W			R/W		R/W	
Reset	0	0	0	1	0	0	1	0

B1h.7 **DSPON:** LCD / LED 使能控制

- 0: LCD / LED 关闭
- 1: LCD / LED 使能

B1h.6~4 **LCDUTY:** LCD / LED 占空比控制

- 000: 1/3 duty
- 001: 1/4 duty
- 010: 1/5 duty
- 011: 1/6 duty
- 100: 1/7 duty
- 101: 1/8 duty

B1h.3~2 **LCDCLK:** LCD / LED 时钟源控制

- 00: SLOWCLK
- 01: SLOWCLK/2
- 10: FSUBCLK/128
- 11: FSUBCLK/256

B1h.1~0 **LCDFMR:** LCD / LED 帧速率控制, 00=最慢, 11=最快。

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCON2	-	-	LEDMODE	LEDPL	LCDBV			
R/W	-	-	R/W	R/W	R/W			
Reset	-	-	0	1	0	0	0	1

B2h.5 **LEDMODE:** LCD / LED 模式选择

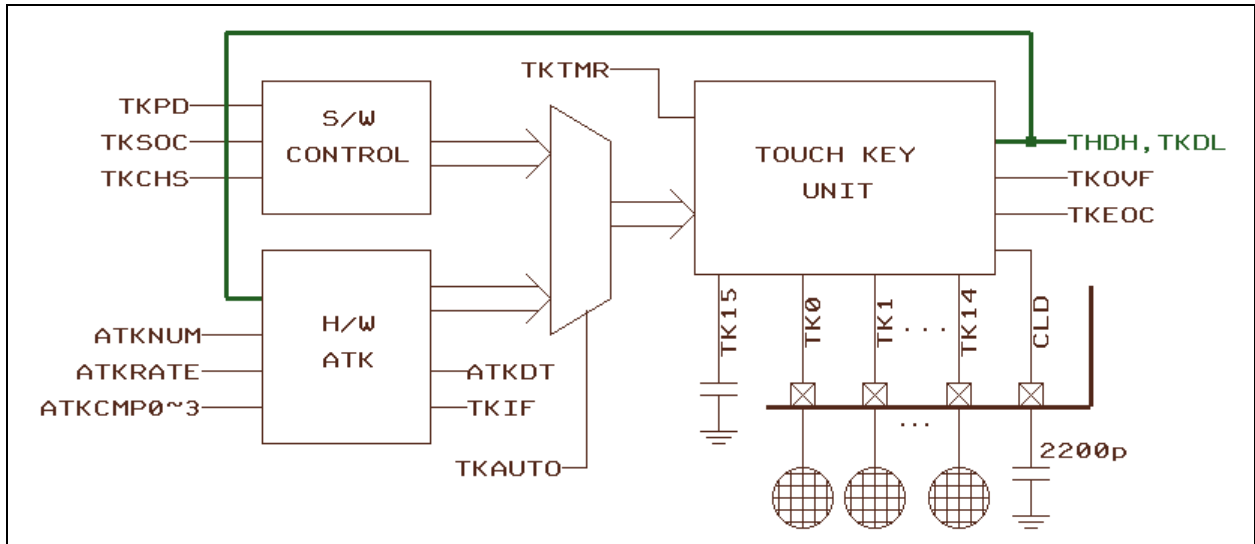
- 0: LCD mode
- 1: LED mode

B2h.4 **LEDPL:** LED 极性

- 0: LED SEG 低电平有效
- 1: LED SEG 高电平有效

13. 触摸按键(仅 F2280/80B)

触摸按键提供了实现方便的手指触摸检测,简单而可靠的方法。在按键扫描操作时,它仅需要 CLD 引脚上外接一个电容。该芯片支持 15 个通道触摸按键检测,可以操作在 S/W 手动模式或 H/W 自动模式(ATK)。



Touch Key 结构

要正确使用触摸按键,用户必须设置引脚模式如下表所示。闲置触摸按键设为模式 0,可上拉引脚以减少各键的相互干扰。无论是在 S/W 手动模式或 H/W ATK 模式,当 TK 引脚扫描时,触摸按键模块会自动断开该引脚的上拉电阻。

P1MODx / P3MODx 触摸按键设置	TK0~TK3	TK4~TK14	CLD
引脚是触摸按键, 闲置	Mode0	Mode0	Mode3
引脚是触摸按键, S/W 扫描	Mode0	Mode0	Mode3
引脚是触摸按键, H/W 自动扫描(ATK)	Mode0	-	Mode3

S/W 手动模式触摸按键检测

所有的触摸按键(TK0~TK14)可用于 S/W 手动模式。要启动 S/W 模式,用户需指派 TKAUTO=0 和 TKPD=0, 然后设置 TKSOC 位以启动触摸按键转换,TKSOC 位可以于转换结束时自动清除。然而,如果系统时钟的速度太慢,由于时钟采样率 H/W 可能无法清除 TKSOC。TKEOC=0 表示转换正在进行中。TKEOC=1 表示转换结束,并将触摸按键的计数值存储到 10 位 TK 数据计数器(TKDH 和 TKDL)。TK 引脚电容越大,TK 数据计数器之转换结果越小。TKEOC=1 后,用户必须等待至少 10μs 再进行下一次转换。如果 TKOVF=1,表示转换的数值溢出。降低/提高 TKTMR 可以减少/增加 TK 数据计数以适应系统板的情况。

触摸按键单元内部有一个内置的参考电容来模拟键的行为。设置 TKCHS 为 1111b,并开始触摸按键转换可以得到这个参考电容的 TKDATA。因为内部电容不受水或手机影响,用于比较环境背景噪音非常有用。

H/W 自动模式触摸按键检测 (ATK)

只有 TK0~TK3 可享有 H/W 自动模式。该功能可在快速/慢速/待机模式下工作, 并节省 S/W 工作, 以及降低芯片功耗。要使用此功能, 用户需要设置 TKAUTO=1 来启用 H/W 完全控制 TK 单元。H/W 则自动检测 TK0~TK3 的 TK 统计数据, 以每 62ms 或 125ms 的速度。如果按键的 TK 数据量小于预先设定的比较阈值(ATKCOMP0~3), H/W 产生中断和唤醒 CPU。用户可以于 TK 中断后切换 TK 模块返回 S/W 手动模式, 以识别/确认按键触摸事件。

SFR ADh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON	TKPD	TKTMR			TKCHS			
R/W	R/W	R/W			R/W			
Reset	1	1	0	0	1	1	1	1

ADh.7 **TKPD:** 触摸按键控制 (S/W 模式)

- 0: 触摸按键使能
- 1: 触摸按键禁用

ADh.6~4 **TKTMR:** 触摸按键转换时间 (S/W 和 H/W ATK 模式通用)

000: 转换时间最短

...

111: 转换时间最长

ADh.3~0 **TKCHS:** 触摸按键通道选择 (S/W 模式)

- 0000: TK0 (P1.7)
- 0001: TK1 (P1.6)
- 0010: TK2 (P1.5)
- 0011: TK3 (P1.4)
- 0100: TK4 (P1.3)
- 0101: TK5 (P1.2)
- 0110: TK6 (P1.1)
- 0111: TK7 (P1.0)
- 1000: TK8 (P3.7)
- 1001: TK9 (P3.6)
- 1010: TK10 (P3.5)
- 1011: TK11 (P3.3)
- 1100: TK12 (P3.2)
- 1101: TK13 (P3.1)
- 1110: TK14 (P3.0)
- 1111: 内部参考电容

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	-	-	-	TKSOC	CLRWDT	CLRTM3	STPRFC	DPSEL
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
Reset	-	-	-	0	0	0	0	0

F8h.4 **TKSOC:** 此位的上升沿会触发触摸按键转换 (在 S/W 模式)。基本上, 转换结束后该位将自动为 H/W 清除。然而, 如果系统时钟的速度太慢, 由于时钟采样率的问题 H/W 可能无法清除 TKSOC。

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKDT	TKEOC	TKOVF	TKDH		ATKDT			
R/W	R	R	R		R			
Reset	-	-	-	-	-	-	-	-

- ABh.7 **TKEOC**: 触摸按键转换结束 (S/W 模式)
- ABh.6 **TKOVF**: 触摸按键计数器溢出 (S/W 模式)
- ABh.5~4 **TKDH**: 触摸按键计数器数据位 9~8 (S/W 模式)
- ABh.3~0 **ATKDT**: 触摸按键自动扫描结果 (H/W ATK 模式)
- xxx1: TK0 有一个触摸事件
- xx1x: TK1 有一个触摸事件
- x1xx: TK2 有一个触摸事件
- 1xxx: TK3 有一个触摸事件

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKDL	TKDL							
R/W	R							
Reset	-	-	-	-	-	-	-	-

- ACh.7~0 **TKDL**: 触摸按键计数器数据位 7~0 (S/W 模式)

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON2	-	-	-	-	TKAUTO	ATKRATE	ATKNUM	
R/W	-	-	-	-	R/W	R/W	R/W	
Reset	-	-	-	-	0	0	1	1

- AEh.3 **TKAUTO**: 触摸按键自动扫描模式启用
- 0: S/W 模式
- 1: H/W ATK 模式
- AEh.2 **ATKRATE**: 触摸按键扫描速率 (H/W ATK 模式)
- 0: 125ms ATK 扫描速率
- 1: 62ms ATK 扫描速率
- AEh.1~0 **ATKNUM**: 触摸按键自动扫描频道数量 (H/W ATK 模式)
- 00: ATK 只检测 TK0
- 01: ATK 检测 TK0 和 TK1
- 10: ATK 检测 TK0~TK2
- 11: ATK 检测 TK0~TK3

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	-	-	-	-	TKIF	IE2	P1IF	TF3
R/W	-	-	-	-	R/W	R/W	R/W	R/W
Reset	-	-	-	-	0	0	0	0

- 95h.3 **TKIF**: 触摸按键中断标志 (H/W ATK 模式)
- 检测到 TK 通道的触摸事件的时候由 H/W 设置。
- 当程序执行中断服务程序时, 它被自动清除。
- S/W 可以写 F7H 到 INTFLG 以清除此位。(注 2)

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCOMP0	ATKCOMP0							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

- C4h.7~0 **ATKCOMP0**: 与 TK0 扫描数据相比的阈值 (H/W ATK 模式)

SFR C5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCMP1	ATKCMP1							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

C5h.7~0 **ATKCMP1**: 与 TK1 扫描数据相比的阈值(H/W ATK 模式)

SFR C6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCMP2	ATKCMP2							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

C6h.7~0 **ATKCMP2**: 与 TK2 扫描数据相比的阈值(H/W ATK 模式)

SFR C7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCMP3	ATKCMP3							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

C7h.7~0 **ATKCMP3**: 与 TK3 扫描数据相比的阈值(H/W ATK 模式)

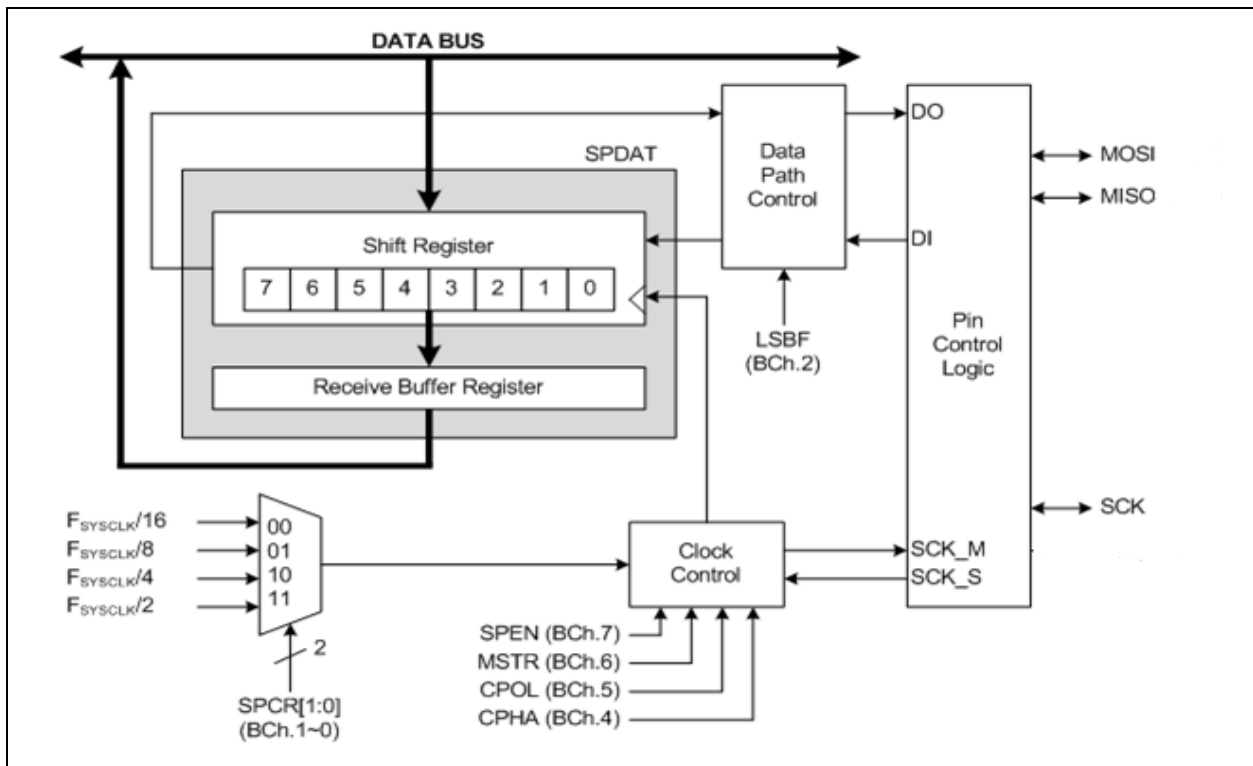
注6: 另请参阅第 6 章的有关触摸按键中断使能和优先级的更多信息。

14. Serial Peripheral Interface (SPI)

串行外围界面 (SPI) 模块能够全双工, 同步的进行 **F2280/80B/84/84B** 和外围设备之间的串行通信。外围设备可以是其它的 MCU, ADC, 传感器, 或闪速存储器等。SPI 运行在可达系统时钟除以二之时钟速率。S/W 可以读取状态标志, 或者操作可被中断驱动。下图显示了 SPI 系统框图。

SPI 模块的功能包括:

- 主或从模式操作
- 3 线模式操作
- 全双工操作
- 可编程的传输波特率
- 单接收缓冲区
- 串行时钟相位和极性选项
- MSB 优先或 LSB 优先移动可选



SPI 系统框图

MOSI(P2.4)信号, 当 SPI 工作在主模式下是输出, 当 SPI 处于从模式下为输入。**MISO**(P2.6)信号是从模式的输出和主模式的输入。数据是通过设置 **LSBF** 位决定优先传输最高位 (MSB) 或最低位 (LSB)。**SCK**(P2.5)信号是主模式的输出和从模式的输入。它是用来同步主设备和从设备的 **MOSI** 和 **MISO** 线的数据。SPI 在主模式下提供 8 种可编程的时钟频率的 **SCK** 信号。

主模式

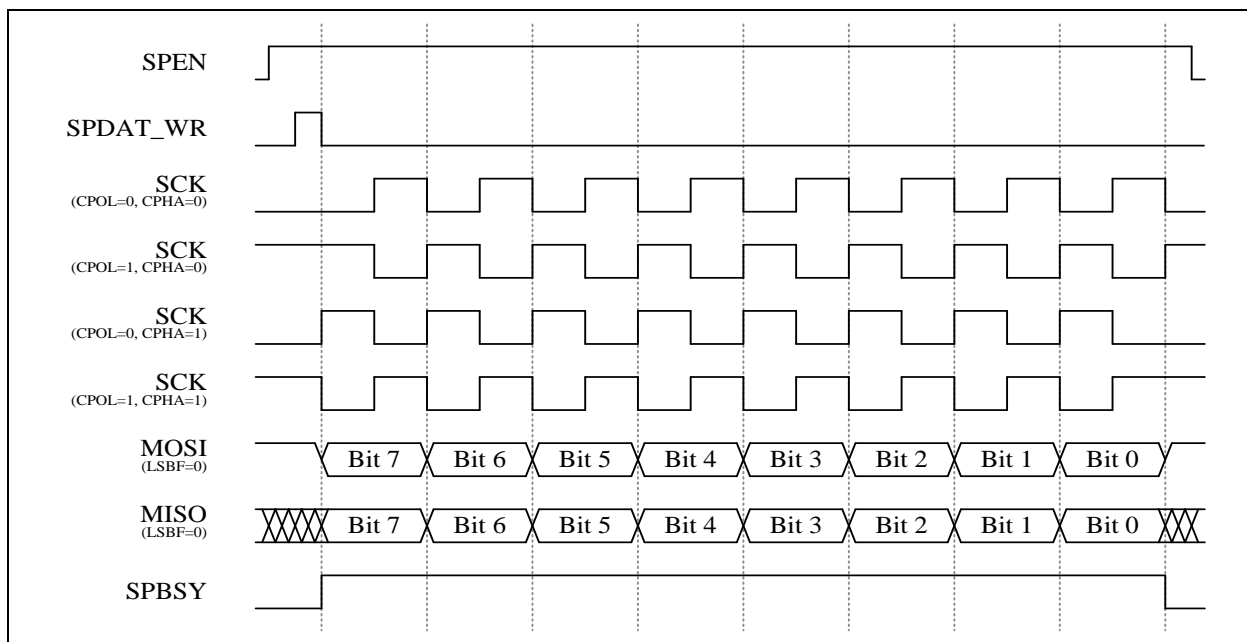
SPI 通过设置 SPCON 中的 MSTR 位以工作在主控模式。要开始传送, 先将数据写到 SPDAT。如果 SPBSY=0, 数据将被转移到移位寄存器, 并开始移出到 MOSI 线上。在同时, 数据由 MISO 线移入。当传输结束时在 SPSTA 中的 SPIF 位被设置, 则接收的数据被写入到接收缓冲器, 并将 SPSTA 中的 RCVBF 位设置。为了防止溢出条件, 软件必须在下一个字节进入移位寄存器之前先读取 SPDAT。当数据写入 SPDAT 时 SPBSY 位将会被设置以开始传送, 并在主控模式的第八个 SCK 周期结束时被清零。

从模式

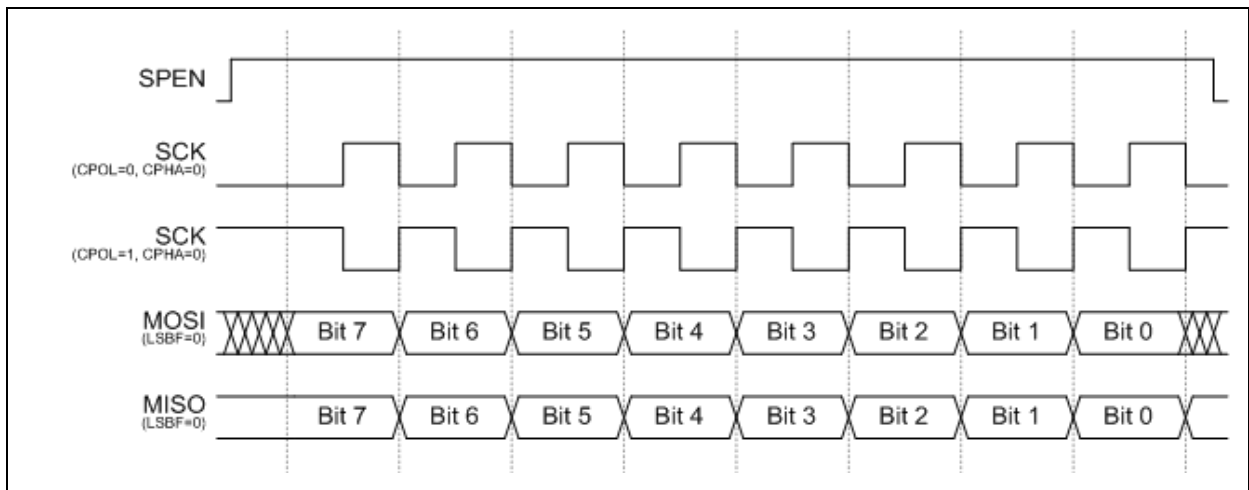
SPI 通过清除 SPCON 中的 MSTR 位成为从模式。SPCON 中的 SPEN 位被设置时, 传输将会开始。主设备的数据将通过 MOSI 线转移到移位寄存器, 并从移位寄存器移出到 MISO 线。当一个字节进入移位寄存器时, 如果 RCVBF=0, 数据将被传输到接收缓冲器。如果 RCVBF=1, 较新的接收数据将不会传送到接收缓冲器而且 RCVOVF 位会被设置。当一个字节进入移位寄存器后, SPIF 和 RCVBF 位会被设置。为了防止溢出条件, 软件必须在下一个字节进入移位寄存器之前先读取 SPDAT 或写 0 到 RCVBF。在从模式下允许的最大 SCK 频率为 $F_{SYSCLK}/4$ 。

串行时钟

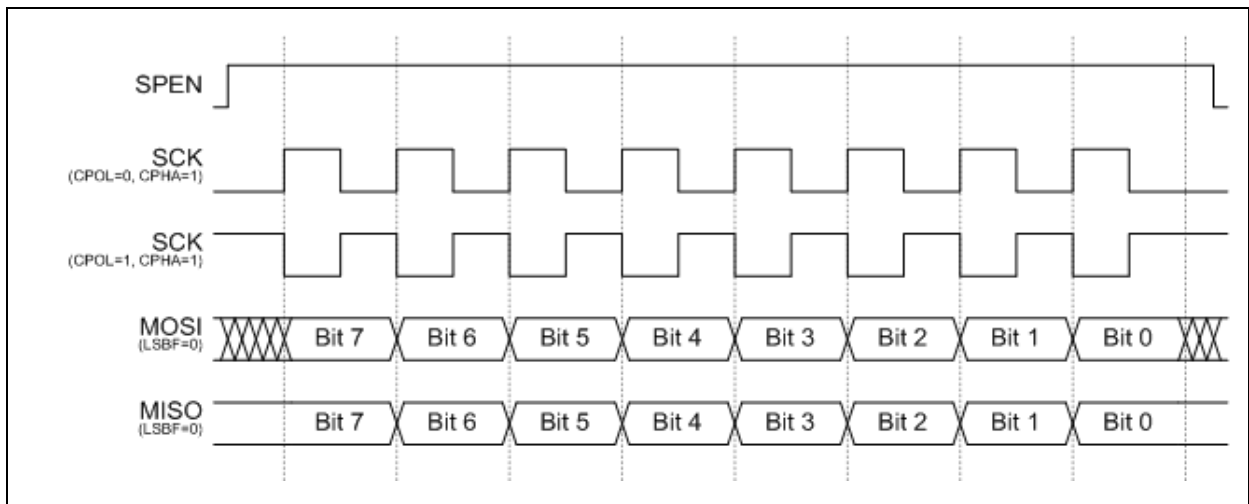
SPI 通过设置 SPCON 寄存器的 CPOL 和 CPHA 位, 产生四个时钟类型。CPOL 位定义在 SPI 空闲状态的 SCK 的水平。在 CPOL=0 时空闲状态的 SCK 为低电平, CPOL=1 时是高电平。CPHA 位定义用于采样和数据移位的边沿。在 CPHA=0 时 SPI 在 SCK 周期的第一个边沿采样数据和在 SCK 周期的第二个边沿移动数据。CPHA=1 时在 SCK 期间的第二边沿的 SPI 采样数据和 SCK 周期的第一个边沿移位数据。下图显示了在主从模式的详细时间。SPEN 位被设置前主设备和从设备必须被配置为使用相同的时钟类型。SPCR 控制主模式的串行时钟频率。在从模式时, 此寄存器被忽略。在主模式下 SPI 时钟可以选择为系统时钟除以 2, 4, 8 或 16。



主模式时序



从模式时序 (CPHA = 0)



从模式时序 (CPHA = 1)

在主和从模式中, SPIF 中断标志是在数据传输结束时由 H/W 设置。如果在 SPBSY 设置时将数据写入 SPDAT, WCOL 位将被 H/W 设置。当这种情况发生时, 数据写入到 SPDAT 将被忽略, 并且移位寄存器将不会被写入。

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	–	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	–	R/W	R/W	
Reset	0	0	0	0	–	0	0	0

- BCh.7 **SPEN**: SPI 使能
 0: SPI 关闭
 1: SPI 使能, P2.4~P2.6 为 SPI 功能引脚
- BCh.6 **MSTR**: 主模式使能
 0: 从模式
 1: 主模式
- BCh.5 **CPOL**: SPI 时钟极性
 0: SCK 在空闲状态是低电平
 1: SCK 在空闲状态是高电平

- BCh.4 **CPHA**:SPI 时钟相位
 0: 在 SCK 周期的第一个边沿采样数据
 1: 在 SCK 周期的第二个边沿采样数据
- BCh.2 **LSBF**:LSB 优先
 0:MSB 优先
 1:LSB 优先
- BCh.1~0 **SPCR**:SPI 时钟速率
 00: $F_{SYSCLK} / 2$
 01: $F_{SYSCLK} / 4$
 10: $F_{SYSCLK} / 8$
 11: $F_{SYSCLK} / 16$

SFR BDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPSTA	SPIF	WCOL	—	RCVOVF	RCVBF	SPBSY	—	—
R/W	R/W	R/W	—	R/W	R/W	R	—	—
Reset	0	0	—	0	0	—	—	—

- BDh.7 **SPIF**:SPI 中断标志
 这是由 H/W 在数据传输结束时设定。中断产生时由 H/W 清零。写 0 到该位将清除该标志。
- BDh.6 **WCOL**:写入冲突中断标志
 由 H/W 设置, 如果 SPBSY=1 时写入数据到 SPDAT。写 0 到该位或 SPBSY=0 时重写 SPDAT 数据将清除该标志。
- BDh.4 **RCVOVF**:接收缓冲区溢出标志
 在数据传输结束和 RCVBF=1 时将通过 H/W 设置。写 0 到该位或读取 SPDAT 寄存器将清除该标志。
- BDh.3 **RCVBF**:接收缓冲器满标志
 在数据传输结束时将通过 H/W 设置。写 0 到该位或读取 SPDAT 寄存器将清除该标志。
- BDh.2 **SPBSY**:SPI 忙碌标志(唯读)
 当 SPI 传输正在进行时, 由 H/W 设置。

SFR BEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPDAT	SPDAT							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

- BEh.7~0 **SPDAT**:发送和接收之数据
 SPDAT 寄存器被用于发送和接收数据。写数据到 SPDAT 会放置数据到移位寄存器, 并开始在主模式下传输。读 SPDAT 则存回接收缓冲器的内容。

注6:另请参阅第 6 章的有关 SPI 中断使能和优先级的更多信息。

注7:另请参阅第 7 章关于 SPI 接口共享 I/O 引脚的详细信息。

15. 6-bit SAR ADC

6 位 SAR ADC 支持 7 通道模拟输入。使用 ADC, 用户只需要通过设置 ADCHS SFR 选择 ADC 通道。如果 ADCHS=0 时, ADC 转换停止并进入省电模式。ADC 模块使用 10 个系统时钟周期进行转换, 并在转换完成后立即启动下一次转换。更低的系统时钟频率可以得到比较稳定的 ADC 性能。ADC 通道需要设置为引脚模式 3, 来禁用引脚的数字输入路径。考量灵敏度问题, 用户不应该配置 ADC 和触摸按键在相同的引脚上。

SFR C2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BGADCS	LVR2E	ADCHS			CMPVS			
R/W	R/W	R/W			R/W			
Reset	0	0	0	0	0	0	0	0

C2h.6~4 **ADCHS**: ADC 通道选择

- 000: ADC 停止
- 001: AD1 (P1.1)
- 010: AD2 (P1.2)
- 011: AD3 (P1.3)
- 100: AD4 (P1.4)
- 101: AD5 (P1.5)
- 110: AD6 (P1.6)
- 111: AD7 (P1.7)

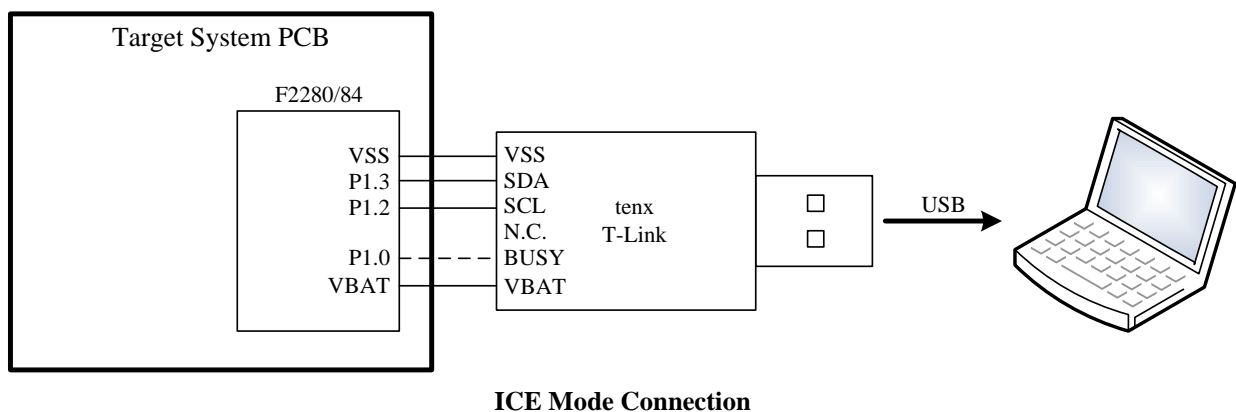
SFR C3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BGADCD	CMPO	-	ADCDT					
R/W	R	-	R					
Reset	-	-	-	-	-	-	-	-

C3h.5~0 **ADCDT**: ADC 数据

16. 在线仿真器(ICE)模式

F2280/80B/84/84B 可以支援在线仿真模式。要使用 ICE 模式,用户只需要将 P1.2 和 P1.3 引脚连接至 tenx 专用的 EV 模块。这样做的好处是,用户可以在不改变电路板的目标设备上模拟整个系统。但 ICE 模式也有一些限制,如下所列。

1. 该芯片必须取消保护。
2. P1.2 和 P1.3 引脚必须工作在输入模式(P1MOD2=0/1 和 P1MOD3=0/1)。
3. 在程序代码下载时,P1.0 需发出应答信号给 T-Link 的单位。下载完之后,P1.0 可以模拟其他任何引脚。
4. 程序存储器的寻址空间 0D00h~0FFFh 和 0033h~003Ah 由 tenx EV 模块占用。因此,用户程序无法存取这些空间。
5. P1.2 和 P1.3 引脚的功能无法模拟。
6. VCON 與 V_{DD} 电位由 T-Link 控制。



SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	1111-1111	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
87h	0xxx-0000	PCON	SMOD	-	-	-	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	0000-0000	P0OE	P0OE							
92h	x111-1111	PINMODE	-	P2HSEG		P2LSEG		P0SEG		
93h	x000-0000	P2OE	-	P2OE						
94h	1100-0001	OPTION	SXTGAIN		STPPCK	PWRFLT	UART1W	WDTPSC	TM3PSC	
95h	xxxx-0000	INTFLG	-	-	-	-	TKIF	IE2	P1IF	TF3
96h	0000-0000	P1WKUP	P1WKUP							
97h	xxxx-xxx0	SWCMD	IAPALL / SWRST							
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A2h	0000-0000	P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
A3h	0000-0000	P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
A4h	1111-1111	P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
A5h	0000-0000	P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
A6h	0000-0000	TOCON	T1OCON		T2OCON			TCOCON		
A7h	x111-1111	VCON	-	LDOE	VSET2			VSET1		
A8h	0x00-0000	IE	EA	-	ET2	ES	ET1	EX1	ET0	EX0
A9h	0000-0000	INTE1	IAPWE			SPIE	TKIE	EX2	P1IE	TM3IE
ABh	xxxx-xxxx	ATKDT	TKEOC	TKOVF	TKDH		ATKDT			
ACh	xxxx-xxxx	TKDL	TKDL							
ADh	1100-1111	TKCON	TKPD	TKTMR			TKCHS			
AEh	xxxx-0011	TKCON2	-	-	-	-	TKAUTO	ATKRATE	ATKNUM	
AFh	0000-1100	RFCON	PORFC		T0SEL		RFCPSC		RFCFS	
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B1h	0001-0010	LCON	DSPON	LCDUTY			LCDCLK		LCDFMR	
B2h	xx01-0001	LCON2	-	-	LEDMODE	LEDPL	LCDBV			
B3h	xxxx-xxxx	TM3SEC	TM3SEC							
B4h	xxxx-xxxx	TM3DL	TM3DL							
B5h	xxxx-xxxx	TM3DH	-	TM3DH						
B6h	0000-0000	TM3RLD	TM3RLD							
B7h	0000-0000	TM3ADJ	TM3ADJS	TM3ADJ						
B8h	xx00-0000	IP	-	-	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	-	-	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	xxx0-0000	IP1	-	-	-	PSPI	PTKI	PX2	PP1	PT3

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BBh	xxx0-0000	IP1H	-	-	-	PSPIH	PTKIH	PX2H	PP1H	PT3H
BCh	0000-x000	SPCON	SPEN	MSTR	CPOL	CPHA	-	LSBF	SPCR	
BDh	00x0-0xxx	SPSTA	SPIF	WCOL	-	RCVOVF	RCVBF	SPBSY	-	-
BEh	0000-0000	SPDAT	SPDAT							
C2h	0000-0000	BGADCS	LVR2E	ADCHS			CMPVS			
C3h	xxxx-xxxx	BGACD	CMPO	-	ADCDT					
C4h	0100-0000	ATKCMP0	ATKCMP0							
C5h	0100-0000	ATKCMP1	ATKCMP1							
C6h	0100-0000	ATKCMP2	ATKCMP2							
C7h	0100-0000	ATKCMP3	ATKCMP3							
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D8h	0000-0101	CLKCON	FCKTYPE	FSUBSEL	SELFCK	SCKTYPE	STPFSSUB	CLKPSC		
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F7h	xxxx-xxxx	CFGWL	-	-	-	FRCF				
F8h	xxx0-0000	AUX1	-	-	-	TKSOC	CLRWDT	CLRTM3	STPRFC	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
1FFEh	CFGWL	-	-	-	FRCF					
1FFFh	CFGWH	PROT	XRSTE	MVCLOCK	WDTE	-	-	LVR1E	-	

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 data, also controls the P0.n pin's pull-up function. If the P0.n SFR data is "1" and the corresponding P0OE.n=0 (input mode), the pull-up is enabled.
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
87h	PCON	7	SMOD	R/W	0	Set 1 to enable UART double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter STOP mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter IDLE mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P0OE	7~0	P0OE	R/W	00h	Port0 CMOS Push-Pull output enable control, 1=Enable.
92h	PINMODE	6~5	P2HSEG	R/W	11	P2.4~P2.6 pin LCD mode control. 00: P2.4~P2.6 are I/O pins 01: P2.4 and P2.5 are I/O pins, P2.6 is LCD Segment pin 10: P2.4 is I/O pin, P2.5 and P2.6 are LCD Segment pins 11: P2.4~P2.6 are LCD Segment pins
		4~3	P2LSEG	R/W	11	P2.1~P2.3 pin LCD mode control. 00: P2.1~P2.3 are I/O pins 01: P2.1 and P2.2 are I/O pins, P2.3 is LCD Segment pin 10: P2.1 is I/O pin, P2.2 and P2.3 are LCD Segment pins 11: P2.1~P2.3 are LCD Segment pins
		2~0	P0SEG	R/W	111	Port0 LCD mode control. 000: P0.0~P0.6 are I/O pins 001: P0.0~P0.5 are I/O pins, P0.6 is LCD Segment pin 010: P0.0~P0.4 are I/O pins, P0.5~P0.6 are LCD Segment pins 011: P0.0~P0.3 are I/O pins, P0.4~P0.6 are LCD Segment pins 100: P0.0~P0.2 are I/O pins, P0.3~P0.6 are LCD Segment pins 101: P0.0~P0.1 are I/O pins, P0.2~P0.6 are LCD Segment pins 110: P0.0 is I/O pin, P0.1~P0.6 are LCD Segment pins 111: P0.0~P0.6 are LCD Segment pins
93h	P2OE	6~0	P2OE	R/W	00h	P2.6~P2.0 pin CMOS Push-Pull output enable control, 1=Enable.
94h	OPTION	7~6	SXTGAIN	R/W	11	SXT oscillator gain 0=Lowest gain, 3=Highest Gain
		5	STPPCK	R/W	0	Set 1 to stop UART/Timer0/1/2 clock in Idle mode for current reducing.
		4	PWRFLT	R/W	0	Set 1 to enhance the chip's power noise immunity
		3	UART1W	R/W	0	Set 1 to enable one wire UART mode, both TXD/RXD use P3.1 pin.
		2	WDTpsc	R/W	0	WDT Prescaler 0: WDT overflow at 65536 System clock count 1: WDT overflow at 32768 System clock count
		1~0	TM3PSC	R/W	01	Timer3 Interrupt rate 00: Timer3 interrupt occurs when 23 bit count data overflow 01: Timer3 interrupt rate is 32768 Slow clock cycles (1.0 second for SXT) 10: Timer3 interrupt rate is 16384 Slow clock cycles (0.5 second for SXT) 11: Timer3 interrupt rate is 8192 Slow clock cycles (0.25 second for SXT)
95h	INTFLG	3	TKIF	R/W	0	Touch Key Interrupt Flag (for H/W ATK Mode) Set by H/W when a TK channel's touch event is detected. It is cleared automatically when the program performs the interrupt service routine. S/W can write F7h to INTFLG to clear this bit.
		2	IE2	R/W	0	External Interrupt 2 (INT2 pin) edge flag Set by H/W when a falling edge is detected on the INT2 pin, no matter the EX2 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine. S/W can write FBh to INTFLG to clear this bit.
		1	P1IF	R/W	0	Port1 pin change Interrupt flag Set by H/W when a Port1 pin state change is detected and its interrupt enable bit is set (P1WKUP). P1IE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W can write FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer3 Interrupt Flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.
96h	P1WKUP	7~0	P1WKUP	R/W	00h	P1.7~P1.0 pin individual Wake-up / Interrupt enable control 0: Disable; 1: Enable.
97h	SWCMD	7~0	SWRST	W	-	Write 56h to generate S/W Reset
		7~0	IAPALL	W	-	Write 65h to set IAPALL flag; Write other value to clear IAPALL flag. It is recommended to clear it immediately after IAP access.
		0	IAPALL	R	0	Flag indicates whole Flash can be access by IAP or not

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description	
98h	SCON	7	SM0	R/W	0	Serial port mode select bit 0, 1 (SM0, SM1)= 00: Mode0: 8 bit shift register, Baud Rate = $F_{SYSCLK} / 2$ 01: Mode1: 8 bit UART, Baud Rate is variable 10: Mode2: 9 bit UART, Baud Rate = $F_{SYSCLK} / 32$ or $/ 64$ 11: Mode3: 9 bit UART, Baud Rate is variable	
		6	SM1	R/W	0		
		5	SM2	R/W	0		Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0		Set 1 to enable UART Reception
		3	TB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3	
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit in Mode 1 if SM2=0	
		1	TI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W	
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.	
99h	SBUF	7~0	SBUF	R/W	-	UART transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.	
A0h	P2	7	P2.7	R/W	1	P2.7 data 0: Open Drain output low 1: Schmitt-trigger input with pull up	
		6~0	P2.6~P2.0	R/W	7Fh	P2.6~P2.0 data, also controls the P2.n pin's pull-up function. If the P2.n SFR data is "1" and the corresponding P2OE.n=0 (input mode), the pull-up is enabled.	
A2h	P1MODL	7~6	P1MOD3	R/W	00	P1.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.3 is ADC input	
		5~4	P1MOD2	R/W	00	P1.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.2 is ADC input	
		3~2	P1MOD1	R/W	00	P1.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.1 is ADC input	
		1~0	P1MOD0	R/W	00	P1.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.0 is T2O output	
A3h	P1MODH	7~6	P1MOD7	R/W	00	P1.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.7 is ADC input	
		5~4	P1MOD6	R/W	00	P1.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.6 is ADC input	
		3~2	P1MOD5	R/W	00	P1.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.5 is ADC input	
		1~0	P1MOD4	R/W	00	P1.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.4 is ADC input	

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A4h	P3MODL	7~6	P3MOD3	R/W	11	P3.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.3 is LCD Segment output
		5~4	P3MOD2	R/W	11	P3.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.2 is LCD Segment output
		3~2	P3MOD1	R/W	11	P3.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.1 is LCD Segment output
		1~0	P3MOD0	R/W	11	P3.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.0 is LCD Segment output
A5h	P3MODH	7~6	P3MOD7	R/W	00	P3.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.7 is TCO output
		5~4	P3MOD6	R/W	00	P3.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.6 is T1B output
		3~2	P3MOD5	R/W	00	P3.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.5 is T1O output
		1~0	P3MOD4	R/W	00	P3.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.4 is Touch Key charge collection (CLD)
A6h	TOCON	7~6	T1OCON	R/W	00	T1O pin duty and frequency control 00: 1/2 duty, 1/2 Timer1 overflow frequency 01: 1/3 duty, 1/3 Timer1 overflow frequency 10: 1/4 duty, 1/4 Timer1 overflow frequency
		5~3	T2OCON	R/W	000	T2O pin duty and frequency control 000: 1/2 duty, 1/2 Timer2 overflow frequency 001: 1/3 duty, 1/3 Timer2 overflow frequency 010: 1/4 duty, 1/4 Timer2 overflow frequency 101: 2/3 duty, 1/3 Timer2 overflow frequency 110: 3/4 duty, 1/4 Timer2 overflow frequency
		2~0	TCOCON	R/W	000	TCO pin duty and frequency control 000: 1/2 duty, 1/2 SYSCLK frequency 001: 1/3 duty, 1/3 SYSCLK frequency 010: 1/4 duty, 1/4 SYSCLK frequency 011: 1/4 duty, 1/2 SYSCLK frequency 100: 1/2 duty, 1/1 SYSCLK frequency 101: 2/3 duty, 1/3 SYSCLK frequency 110: 3/4 duty, 1/4 SYSCLK frequency 111: 3/4 duty, 1/2 SYSCLK frequency
A7h	VCON	6	LDOE	R/W	1	Chip internal LDO Regulator enable control 0: LDO disable, $V_{DD} = V_{BAT}$ 1: LDO enable, $V_{DD} = \text{LDO Regulator output}$
		5~3	VSET2	R/W	111	V_{DD} voltage setting in Fast/Slow mode while LDOE=1. 000: $V_{DD} = V_{BAT} * 120/300$ in Fast/Slow mode 001: $V_{DD} = V_{BAT} * 131/300$ in Fast/Slow mode 010: $V_{DD} = V_{BAT} * 143/300$ in Fast/Slow mode 011: $V_{DD} = V_{BAT} * 154/300$ in Fast/Slow mode 100: $V_{DD} = V_{BAT} * 165/300$ in Fast/Slow mode 101: $V_{DD} = V_{BAT} * 176/300$ in Fast/Slow mode 110: $V_{DD} = V_{BAT} * 188/300$ in Fast/Slow mode 111: $V_{DD} = V_{BG} * 2.75 = 1.2V * 2.75 = 3.3V$ in Fast/Slow mode
		2~0	VSET1	R/W	111	V_{DD} voltage setting in Idle/Stop mode while LDOE=1. Definition is the same as VSET2.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 interrupt
		4	ES	R/W	0	Set 1 to enable Serial Port (UART) Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Stop mode wake up capability
A9h	INTE1	7~5	IAPWE	R/W	000	Set to 101 to enable IAP write for F2280B/84B, don't care for F2280/84. It is recommended to clear it immediately after IAP write.
		4	SPIE	R/W	0	Set 1 to enable SPI Interrupt
		3	TKIE	R/W	0	Set 1 to enable Touch Key Interrupt
		2	EX2	R/W	0	Set 1 to enable external INT2 pin Interrupt & Stop mode wake up capability
		1	PIIE	R/W	0	Set 1 to enable Port1 Pin Change Interrupt
		0	TM3IE	R/W	0	Set 1 to enable Timer3 Interrupt
ABh	ATKDT	7	TKEOC	R	-	Touch Key End of Conversion (for S/W Mode)
		6	TKOVF	R	-	Touch Key Counter Overflow (for S/W Mode)
		5~4	TKDH	R	-	Touch Key Counter Data 9~8 (for S/W Mode)
		3~0	ATKDT	R	-	Touch Key Auto Scan Result (for H/W ATK Mode) xxx1: TK0 has a Touch event xx1x: TK1 has a Touch event x1xx: TK2 has a Touch event 1xxx: TK3 has a Touch event
ACh	TKDL	7~0	TKDL	R	-	Touch Key Counter Data 7~0 (for S/W Mode)
ADh	TKCON	7	TKPD	R/W	1	Touch Key Power Down (for S/W mode) 0: Touch Key enable; 1: Touch Key disable
		6~4	TKTMR	R/W	100	Touch Key Conversion Time (for both S/W and H/W ATK mode) 000: Conversion time shortest ... 111: Conversion time longest
		3~0	TKCHS	R/W	1111	Touch Key Channel Select (for S/W Mode) 0000: TK0 (P1.7) 0001: TK1 (P1.6) 0010: TK2 (P1.5) 0011: TK3 (P1.4) 0100: TK4 (P1.3) 0101: TK5 (P1.2) 0110: TK6 (P1.1) 0111: TK7 (P1.0) 1000: TK8 (P3.7) 1001: TK9 (P3.6) 1010: TK10 (P3.5) 1011: TK11 (P3.3) 1100: TK12 (P3.2) 1101: TK13 (P3.1) 1110: TK14 (P3.0) 1111: Internal Reference Capacitor
AEh	TKCON2	3	TKAUTO	R/W	0	Touch Key Auto Scan Mode Enable 0: S/W Mode 1: H/W ATK Mode
		2	ATKRATE	R/W	0	Touch Key Scan Rate (for H/W ATK Mode) 0: ATK scan rate is 4096 Slow clock cycles (125ms if Slow clock is SXT) 1: ATK scan rate is 2048 Slow clock cycles (62ms if Slow clock is SXT)
		1~0	ATKNUM	R/W	11	Touch Key Auto Scan Channel Number (for H/W ATK Mode) 00: ATK only detect TK0 01: ATK detect TK0 and TK1 10: ATK detect TK0~TK2 11: ATK detect TK0~TK3

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
AFh	RFCON	7~6	P0RFC	R/W	00	P0.0~P0.3 pin RFC mode control. 00: P0.0~P0.3 are not RFC pins 01: P0.0 and P0.1 are RFC pins, P0.2 and P0.3 are not RFC pins 10: P0.0~P0.2 are RFC pins, P0.3 is not RFC pin 11: P0.0~P0.3 are RFC pins
		5~4	T0SEL	R/W	00	Timer0 Counter mode (CT0N=1) T0 input select 00: P3.4 pin (8051 standard) 01: RFC clock divided by 1/4/16/64 10: SXT clock 11: RFC clock divided by 1/4/16/64 gated by Timer2 overflow
		3~2	RFCPSC	R/W	11	RFC clock divider to Timer0 00: divided by 64 01: divided by 16 10: divided by 4 11: divided by 1
		1~0	RFCS	R/W	00	Select RFC convert channel. 00: RFC0R (P0.1) 01: RFC1R (P0.2) 10: RFC2R (P0.3)
B0h	P3	7~0	P3	R/W	FFh	Port 3 data
B1h	LCON	7	DSPON	R/W	0	Set 1 to enable LCD or LED Display
		6~4	LCDUTY	R/W	001	LCD / LED duty control. 000: 1/3 duty 001: 1/4 duty 010: 1/5 duty 011: 1/6 duty 100: 1/7 duty 101: 1/8 duty
		3~2	LCDCLK	R/W	00	LCD / LED clock source 00: SLOWCLK 01: SLOWCLK/2 10: FSUBCLK/128 11: FSUBCLK/256
		1~0	LCDFMR	R/W	10	LCD /LED Frame Rate, 3=Highest; 0=Lowest
B2h	LCON2	5	LEDMODE	R/W	0	LCD / LED mode select for COM and SEG pins 0: LCD mode; 1: LED mode
		4	LEDPL	R/W	1	LED Polarity 0: LED Segment Active Low; 1: LED Segment Active High
		3~0	LCDBV	R/W	0001	LCD Brightness, VLCD Voltage level control 0000: VLCD = V _{BAT} * 24/40 0001: VLCD = V _{BAT} * 25/40 0010: VLCD = V _{BAT} * 26/40 0011: VLCD = V _{BAT} * 27/40 0100: VLCD = V _{BAT} * 28/40 0101: VLCD = V _{BAT} * 29/40 0110: VLCD = V _{BAT} * 30/40 0111: VLCD = V _{BAT} * 31/40 1000: VLCD = V _{BAT} * 33/40 1001: VLCD = V _{BAT} * 34/40 1010: VLCD = V _{BAT} * 35/40 1011: VLCD = V _{BAT} * 36/40 1100: VLCD = V _{BAT} * 37/40 1101: VLCD = V _{BAT} * 38/40 1110: VLCD = V _{BAT} * 39/40 1111: VLCD = V _{BAT}
B3h	TM3SEC	7~0	TM3SEC	R	-	Timer3 count data bit 22~15
B4h	TM3DL	7~0	TM3DL	R	-	Timer3 count data bit 7~0
B5h	TM3DH	6~0	TM3DH	R	-	Timer3 count data bit 14~8
B6h	TM3RLD	7~0	TM3RLD	R/W	00h	Timer3 overflow reload data for Timer3 bit 22~15 (TM3SEC)

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B7h	TM3ADJ	7	TM3ADJS	R/W	0	Timer3 adjustment sign 0: Timer3 positive adjust, to increase Timer3 counting rate 1: Timer3 negative adjust, to decrease Timer3 counting rate
		6~0	TM3ADJ	R/W	00h	Timer3 adjust magnitude, 0.477 ppm per LSB. The adjustment is calculated as $\pm TM3ADJ * 0.477 \text{ppm}$. The total adjustable range is $\pm 61 \text{ppm}$.
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		4	PS	R/W	0	Serial Port (UART) Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		4	PSH	R/W	0	Serial Port (UART) Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	4	PSPI	R/W	0	SPI Interrupt Priority Low bit
		3	PTKI	R/W	0	Touch Key Interrupt Priority Low bit
		2	PX2	R/W	0	External INT2 Pin Interrupt Priority Low bit
		1	PP1	R/W	0	Port1 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit
BBh	IP1H	4	PSPIH	R/W	0	SPI Interrupt Priority High bit
		3	PTKIH	R/W	0	Touch Key Interrupt Priority High bit
		2	PX2H	R/W	0	External INT2 Pin Interrupt Priority High bit
		1	PP1H	R/W	0	Port1 Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit
BCh	SPCON	7	SPEN	R/W	0	Set 1 to enable SPI & P2.4~P2.6 SPI pin function
		6	MSTR	R/W	0	SPI Master Mode Enable. 0: Slave Mode; 1: Master Mode
		5	CPOL	R/W	0	SPI Clock Polarity 0: SCK is low in idle state; 1: SCK is high in idle state
		4	CPHA	R/W	0	SPI Clock Phase 0: Data sampled on first edge of SCK period 1: Data sampled on second edge of SCK period
		2	LSBF	R/W	0	SPI LSB First. 0: MSB first; 1: LSB first
		1~0	SPCR	R/W	00	SPI Clock Rate. 00: $F_{SYSCLK}/2$; 01: $F_{SYSCLK}/4$; 10: $F_{SYSCLK}/8$; 11: $F_{SYSCLK}/16$
BDh	SPSTA	7	SPIF	R/W	0	SPI Interrupt Flag Set by H/W at the end of a data transfer. Cleared by H/W when interrupt is vectored into. Write 0 to this bit will clear this flag.
		6	WCOL	R/W	0	Write Collision Interrupt Flag Set by H/W if write data to SPDAT when SPBSY=1. Write 0 to this bit or rewrite data to SPDAT when SPBSY=0 will clear this flag.
		4	RCVOVF	R/W	0	Receive Buffer Overrun Flag Set by H/W at the end of a data transfer and RCVBF=1. Write 0 to this bit or read SPDAT register will clear this flag.
		3	RCVBF	R/W	0	Receive Buffer Full Flag Set by H/W at the end of a data transfer. Write 0 to this bit or read SPDAT register will clear this flag.
		2	SPBSY	R	-	SPI Busy Flag (Read Only) Set by H/W when a SPI transfer is in progress.
BEh	SPDAT	7~0	SPDAT	R/W	00h	SPI Transmit and Receive Data The SPDAT register is used to transmit and receive data. Writing data to SPDAT place the data into shift register and start a transfer when in Master mode. Reading SPDAT returns the contents of the receive buffer.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
C2h	BGADCS	7	LVR2E	R/W	0	Low Voltage Reset #2 enable, 1=enable. This bit must be set to 1 after the CMPVS setting done and the Bandgap voltage stable.
		6~4	ADCHS	R/W	000	ADC channel select 000: ADC disable; 001: AD1 (P1.1); 010: AD2 (P1.2); 011: AD3 (P1.3); 100: AD4 (P1.4); 101: AD5 (P1.5); 110: AD6 (P1.6); 111: AD7 (P1.7)
		3~0	CMPVS	R/W	0000	Select V _{BAT} resistor divider for Comparator input to compare with the 1.2V Bandgap reference voltage. If LVR2E=1, the Low Voltage Reset #2 is triggered when V _{BAT} resistor divider is lower than 1.2V (CMPO=0). 0000: Comparator Disable 0001: the Comparator input is V _{BAT} *12/24, LVR2=2.4V 0010: the Comparator input is V _{BAT} *12/25, LVR2=2.5V 0011: the Comparator input is V _{BAT} *12/26, LVR2=2.6V 0100: the Comparator input is V _{BAT} *12/27, LVR2=2.7V 0101: the Comparator input is V _{BAT} *12/28, LVR2=2.8V 0110: the Comparator input is V _{BAT} *12/29, LVR2=2.9V 0111: the Comparator input is V _{BAT} *12/30, LVR2=3.0V 1000: the Comparator input is V _{BAT} *12/31, LVR2=3.1V 1001: the Comparator input is V _{BAT} *12/33, LVR2=3.3V 1010: the Comparator input is V _{BAT} *12/35, LVR2=3.5V 1011: the Comparator input is V _{BAT} *12/37, LVR2=3.7V 1100: the Comparator input is V _{BAT} *12/39, LVR2=3.9V 1101: the Comparator input is V _{BAT} *12/41, LVR2=4.1V 1110: the Comparator input is V _{BAT} *12/43, LVR2=4.3V 1111: the Comparator input is V _{BAT} *12/45, LVR2=4.5V
C3h	BGADCD	7	CMPO	R	-	Compare result of BandGap voltage and V _{BAT} voltage divider. CMPO=1 means the V _{BAT} divider voltage is higher. If LVR2E=1, the CMPO=0 can trigger LVR2.
		5~0	ADCDT	R	-	ADC convert data result
C4h	ATKCOMP0	7~0	ATKCOMP0	R/W	40h	Data Threshold Compared with TK0 scan (for H/W ATK Mode)
C5h	ATKCOMP1	7~0	ATKCOMP1	R/W	40h	Data Threshold Compared with TK1 scan (for H/W ATK Mode)
C6h	ATKCOMP2	7~0	ATKCOMP2	R/W	40h	Data Threshold Compared with TK2 scan (for H/W ATK Mode)
C7h	ATKCOMP3	7~0	ATKCOMP3	R/W	40h	Data Threshold Compared with TK3 scan (for H/W ATK Mode)
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control. 1:timer runs; 0:timer stops
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1. 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1. If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D8h	CLKCON	7	FCKTYPE	R/W	0	Fast clock select, This bit can be changed only in Slow mode (SELFCK=0) 0: Fast clock is FSUBCLK (FRC or FXT) 1: Fast clock is RFC, S/W must setup RFC circuitry before set this bit to 1
		6	FSUBSEL	R/W	0	FSUBCLK select, This bit can be changed only in Slow mode (SELFCK=0). 0: FSUBCLK is FRC 1: FSUBCLK is FXT, P2.1 and P2.2 are crystal oscillator pins
		5	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFSUB=0 or FCKTYPE=1. 0: Slow clock (SRC/SXT) 1: Fast clock (FRC/FXT/RFC)
		4	SCKTYPE	R/W	0	Slow clock Type. This bit can be changed only in Fast mode (SELFCK=1). 0: SRC 1: SXT, P0.7 and P2.0 are crystal oscillator pins
		3	STPFSUB	R/W	0	Set 1 to stop FXT/FRC for power saving in Slow/Idle mode. This bit can be changed only in Slow mode or RFC mode.
		2~0	CLKPSC	R/W	101	System clock prescaler. 000: System clock is Fast/Slow clock divided by 32 001: System clock is Fast/Slow clock divided by 16 010: System clock is Fast/Slow clock divided by 8 011: System clock is Fast/Slow clock divided by 4 100: System clock is Fast/Slow clock divided by 2 101: System clock is Fast/Slow clock divided by 1
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
F0h	B	7~0	B	R/W	00h	B register
F7h	CFGWL	4~0	FRCF	R/W	-	FRC frequency adjustment 00h=central frequency; 0Fh=highest frequency; 10h=lowest frequency
F8h	AUX1	4	TKSOC	R/W	0	Rising edge of this bit will trigger a Touch Key conversion (for S/W Mode). Basically, this bit is automatically cleared by H/W after end of conversion. However, if the SYSCLK is too slow, H/W might fail to clear TKSOC due to clock sampling rate issue.
		3	CLRWDT	R/W	0	Set to 1 to clear Watch Dog Timer
		2	CLRTM3	R/W	0	Set 1 to Clear Timer3 and force TM3SEC reload
		1	STPRFC	R/W	0	Set 1 to stop RFC clock oscillating
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
1FFEh	CFGWL	4~0	FRCF	FRC frequency adjustment. FRC is trimmed to 7.3728 MHz in chip manufacturing. FRCF records the adjustment data.
1FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	Pin Reset enable, 1=enable.
		5	MVCLOCK	If 1, the MOVC & MOVX instruction's accessibility to MOVC-Lock area is limited.
		4	WDTE	WDT Reset enable, 1=enable.
		1	LVR1E	Low Voltage Reset #1 enable, 1=enable.

指令集

Instructions are 1, 2 or 3 bytes long as listed in the 'byte' column below. Each instruction takes 1~8 System clock cycles to execute as listed in the 'cycle' column below.

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A,Rn	Add register to A	1	2	28-2F
ADD A,dir	Add direct byte to A	2	2	25
ADD A,@Ri	Add indirect memory to A	1	2	26-27
ADD A,#data	Add immediate to A	2	2	24
ADDC A,Rn	Add register to A with carry	1	2	38-3F
ADDC A,dir	Add direct byte to A with carry	2	2	35
ADDC A,@Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A,#data	Add immediate to A with carry	2	2	34
SUBB A,Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A,dir	Subtract direct byte from A with borrow	2	2	95
SUBB A,@Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A,#data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8	A4
DIV AB	Divide A by B	1	8	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A,Rn	AND register to A	1	2	58-5F
ANL A,dir	AND direct byte to A	2	2	55
ANL A,@Ri	AND indirect memory to A	1	2	56-57
ANL A,#data	AND immediate to A	2	2	54
ANL dir,A	AND A to direct byte	2	2	52
ANL dir,#data	AND immediate to direct byte	3	4	53
ORL A,Rn	OR register to A	1	2	48-4F
ORL A,dir	OR direct byte to A	2	2	45
ORL A,@Ri	OR indirect memory to A	1	2	46-47
ORL A,#data	OR immediate to A	2	2	44
ORL dir,A	OR A to direct byte	2	2	42
ORL dir,#data	OR immediate to direct byte	3	4	43
XRL A,Rn	Exclusive-OR register to A	1	2	68-6F
XRL A,dir	Exclusive-OR direct byte to A	2	2	65
XRL A,@Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A,#data	Exclusive-OR immediate to A	2	2	64
XRL dir,A	Exclusive-OR A to direct byte	2	2	62
XRL dir,#data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
SWAP A	Swap Nibbles of A	1	2	C4
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A,Rn	Move register to A	1	2	E8-EF
MOV A,dir	Move direct byte to A	2	2	E5
MOV A,@Ri	Move indirect memory to A	1	2	E6-E7
MOV A,#data	Move immediate to A	2	2	74
MOV Rn,A	Move A to register	1	2	F8-FF
MOV Rn,dir	Move direct byte to register	2	4	A8-AF
MOV Rn,#data	Move immediate to register	2	2	78-7F
MOV dir,A	Move A to direct byte	2	2	F5
MOV dir,Rn	Move register to direct byte	2	4	88-8F
MOV dir,dir	Move direct byte to direct byte	3	4	85
MOV dir,@Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir,#data	Move immediate to direct byte	3	4	75
MOV @Ri,A	Move A to indirect memory	1	2	F6-F7
MOV @Ri,dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri,#data	Move immediate to indirect memory	2	2	76-77
MOV DPTR,#data	Move immediate to data pointer	3	4	90
MOVC A,@A+DPTR	Move code byte relative DPTR to A	1	4	93
MOVC A,@A+PC	Move code byte relative PC to A	1	4	83
MOVX A,@Ri	Move external data(A8) to A	1	4	E2-E3
MOVX A,@DPTR	Move external data(A16) to A	1	4	E0
MOVX @Ri,A	Move A to external data(A8)	1	4	F2-F3
MOVX @DPTR,A	Move A to external data(A16)	1	4	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A,Rn	Exchange A and register	1	2	C8-CF
XCH A,dir	Exchange A and direct byte	2	2	C5
XCH A,@Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A,@Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C,bit	AND direct bit to carry	2	4	82
ANL C,/bit	AND direct bit inverse to carry	2	4	B0
ORL C,bit	OR direct bit to carry	2	4	72
ORL C,/bit	OR direct bit inverse to carry	2	4	A0
MOV C,bit	Move direct bit to carry	2	2	A2
MOV bit,C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	4	11-F1
LCALL addr 16	Long jump to subroutine	3	4	12
RET	Return from subroutine	1	4	22
RETI	Return from interrupt	1	4	32
AJMP addr 11	Absolute jump unconditional	2	4	01-E1
LJMP addr 16	Long jump unconditional	3	4	02
SJMP rel	Short jump (relative address)	2	4	80
JC rel	Jump on carry=1	2	4	40
JNC rel	Jump on carry=0	2	4	50
JB bit,rel	Jump on direct bit=1	3	4	20
JNB bit,rel	Jump on direct bit=0	3	4	30
JBC bit,rel	Jump on direct bit=1 and clear	3	4	10
JMP @A+DPTR	Jump indirect relative DPTR	1	4	73
JZ rel	Jump on accumulator=0	2	4	60
JNZ rel	Jump on accumulator≠0	2	4	70
CJNE A,dir,rel	Compare A,direct, jump not equal relative	3	4	B5
CJNE A,#data,rel	Compare A,immediate, jump not equal relative	3	4	B4
CJNE Rn,#data,rel	Compare register,immediate, jump not equal relative	3	4	B8-BF
CJNE @Ri,#data,rel	Compare indirect,immediate, jump not equal relative	3	4	B6-B7
DJNZ Rn,rel	Decrement register, jump not zero relative	2	4	D8-DF
DJNZ dir,rel	Decrement direct byte, jump not zero relative	3	4	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

In the above table, an entry such as E8-EF indicates a continuous block of hex opcodes used for 8 different registers, the register numbers of which are defined by the lowest three bits of the corresponding code. Non-continuous blocks of codes, shown as 11-F1 (for example), are used for absolute jumps and calls with the top 3 bits of the code being used to store the top three bits of the destination address.

电气特性

最大绝对额定值

Parameter	Rating	Unit
Supply voltage	$V_{SS} - 0.3 \sim V_{SS} + 5.5$	V
Input voltage	$V_{SS} - 0.3 \sim V_{BAT} + 0.3$	
Output voltage	$V_{SS} - 0.3 \sim V_{BAT} + 0.3$	
Maximum Operating Voltage	5.5	
Output current high per 1 pin / all pins	-20 / -50	mA
Output current low per 1 pin / all pins	+30 / +100	
Operating temperature	-40 ~ +85	°C
Storage temperature	-65 ~ +150	

 DC 特性 ($T_A=25^\circ\text{C}$)

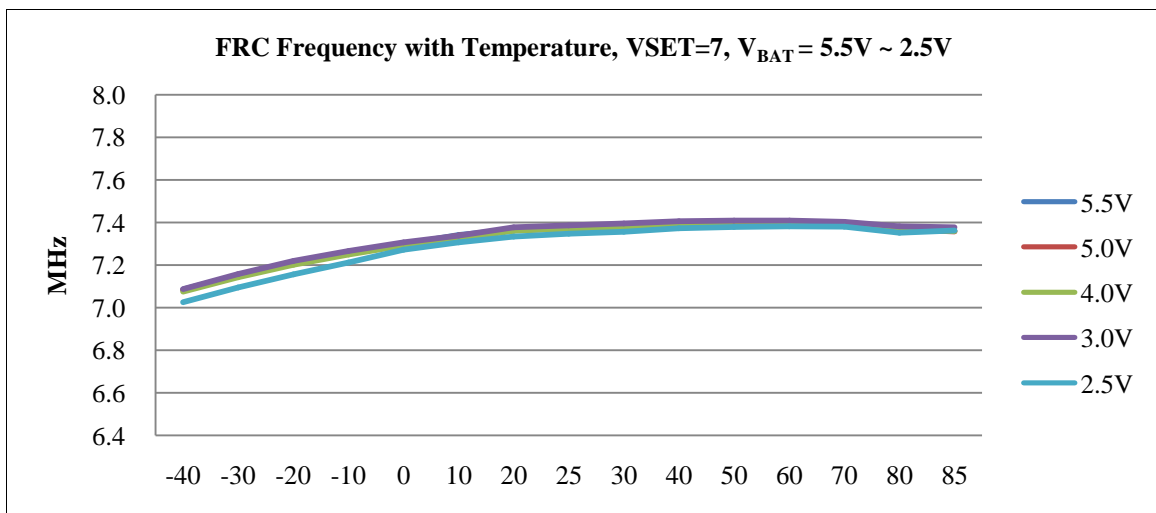
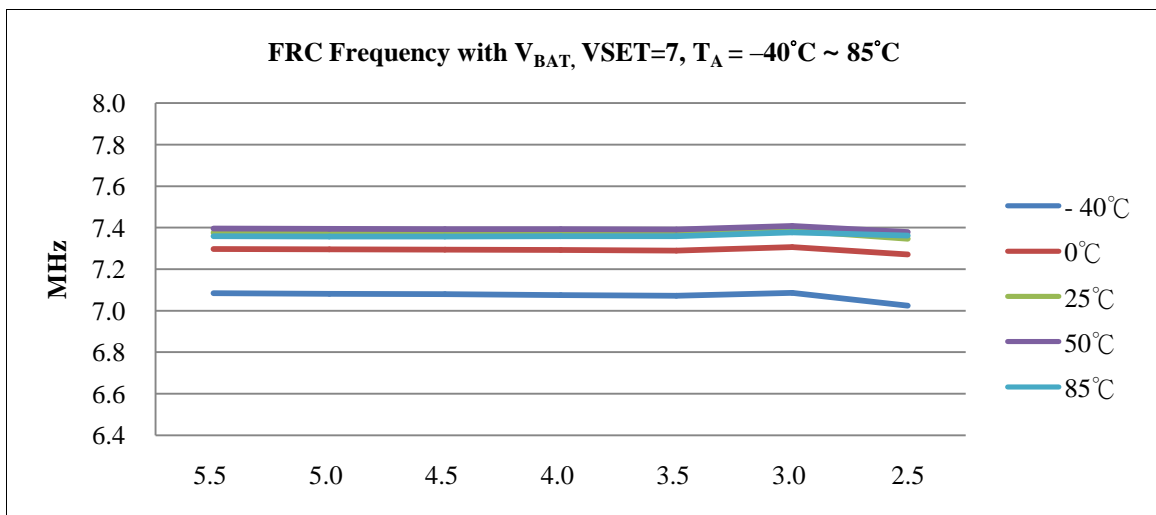
Parameter	Sym	Conditions	Min	Typ	Max	Unit	
Input High Voltage	V_{IH}	all except P2.7	$V_{BAT}=3V$	$0.6V_{BAT}$	-	-	V
		P2.7	$V_{BAT}=3V$	$0.8V_{BAT}$	-	-	
Input Low Voltage	V_{IL}	all Input	$V_{BAT}=3V$	-	-	$0.2V_{BAT}$	
I/O Port, LED SEG/COM Source Current	I_{OH}	all except P2.7	$V_{BAT}=3V$ $V_{OH}=2.7V$	2.5	4	-	mA
			$V_{BAT}=5V$ $V_{OH}=4.5V$	6	10	-	
I/O Port, LED SEG/COM Sink Current	I_{OL}	COM0~3	$V_{BAT}=3V$	-	40	-	mA
		Others	$V_{OL}=0.3V$	7	11	-	
		COM0~3	$V_{BAT}=5V$	-	65	-	
		Others	$V_{OL}=0.4V$	10	16	-	
Input leakage current (pin high)	I_{ILH}	all Input	$V_{IN}=V_{BAT}$	-	-	1	uA
Input leakage current (pin low)	I_{ILL}		$V_{IN}=0V$	-	-	-1	
Power Supply Current	I_{BAT}	FRC, 7.37MHz	$V_{BAT}=5V$	-	2.6	-	mA
		FXT, 8MHz	$V_{DD}=3.3V$	-	3.3	-	
		SRC, 40KHz	$V_{BAT}=3V$	-	6.1	-	uA
		SXT, 32KHz	$V_{DD}=1.5V$ LCD On	-	6.3	-	
		Idle, 32KHz	ATK On	-	2.8	-	
		Idle, 2KHz	LVR1 On	-	2.3	-	
		Idle, 32KHz	$V_{BAT}=3V$	-	1.3	-	
		Idle, 2KHz	$V_{DD}=1.5V$ LCD Off	-	0.8	-	
		Stop	ATK Off	-	0.3	-	
System Clock Frequency	F_{SYSCLK}	$2.7V < V_{DD} < 4.0V$		-	-	8	MHz
		$2.0V < V_{DD} < 4.0V$		-	-	4	
Pull-Up Resistor	R_{PU}	all except P2.7	$V_{BAT}=3V$	-	420	-	K Ω
		P2.7	$V_{IN}=0V$	-	270	-	

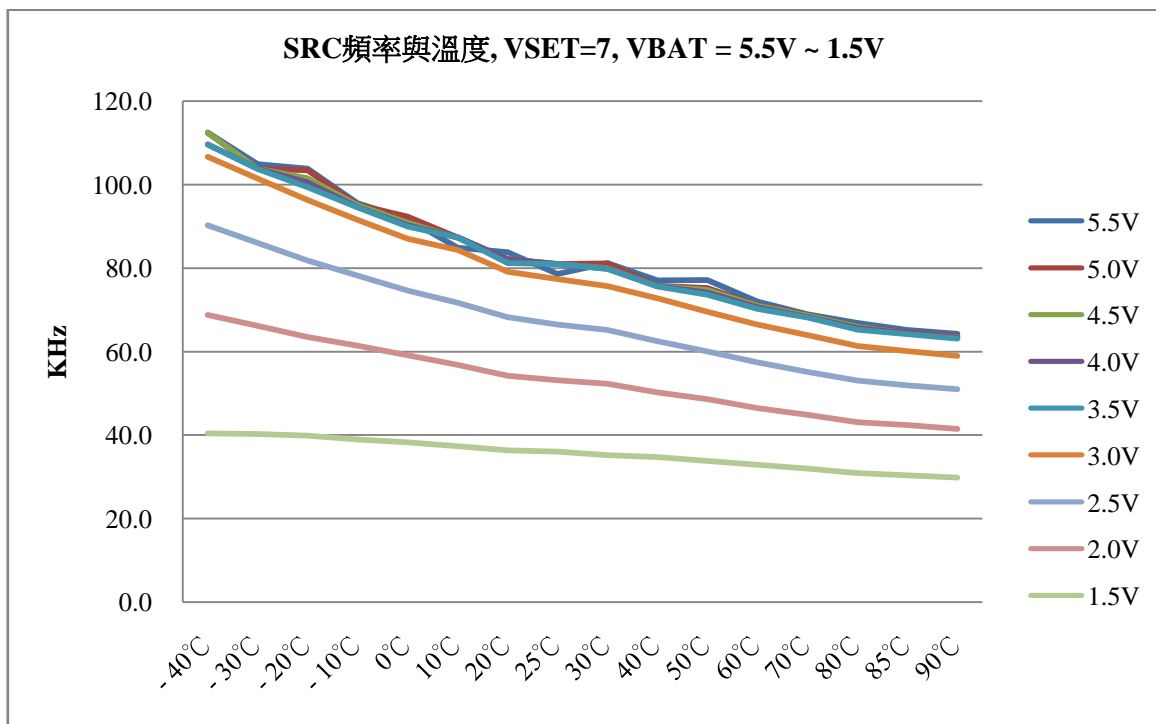
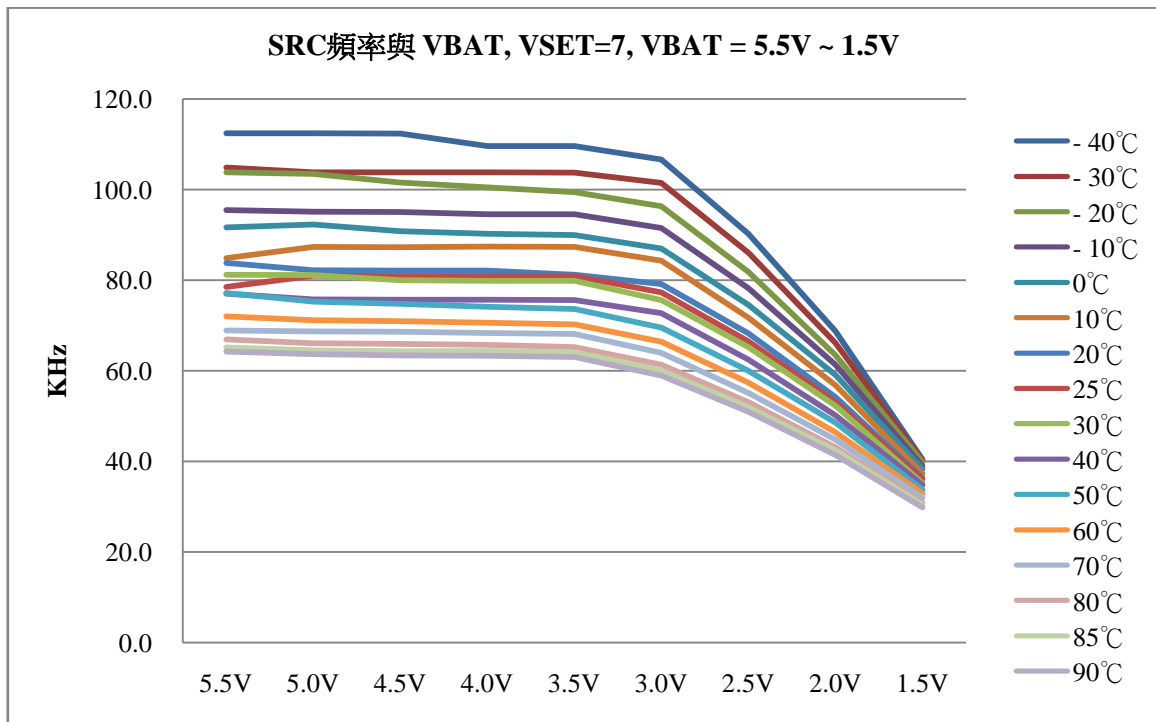
带隙基准电压

Parameter	Sym	Conditions	Min	Typ	Max	Unit
BandGap Voltage	V _{BG}	V _{BAT} =3V, 25°C	1.14	1.2	1.26	V
		V _{BAT} =3V, -40°C~85°C	1.12	1.2	1.28	
		V _{BAT} =5V, 25°C	1.18	1.25	1.33	
		V _{BAT} =5V, -40°C~85°C	1.16	1.25	1.35	

 时钟时序 (T_A=25°C)

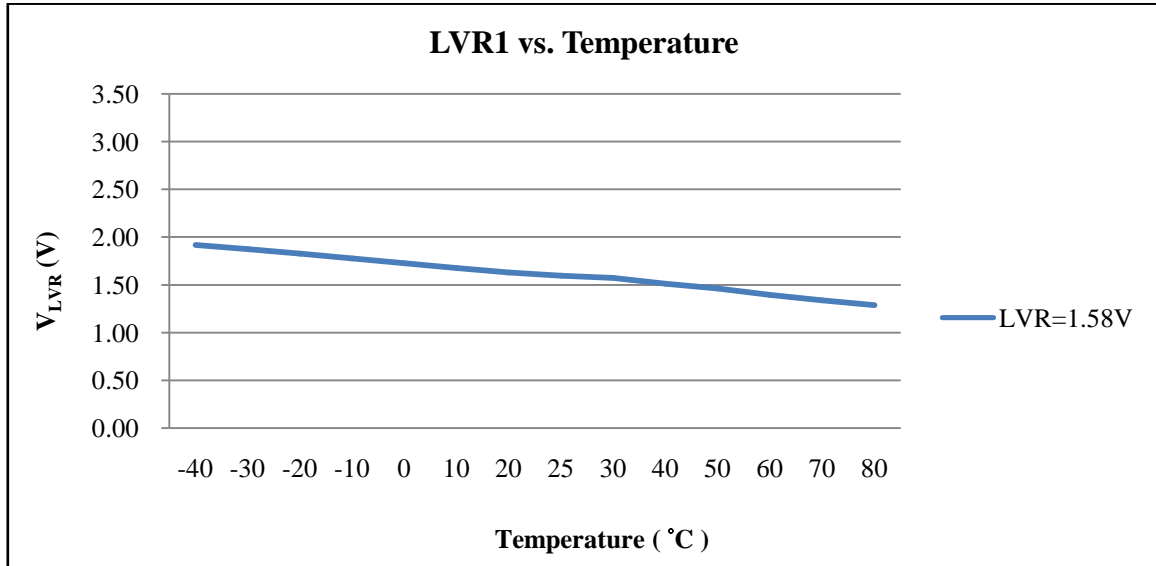
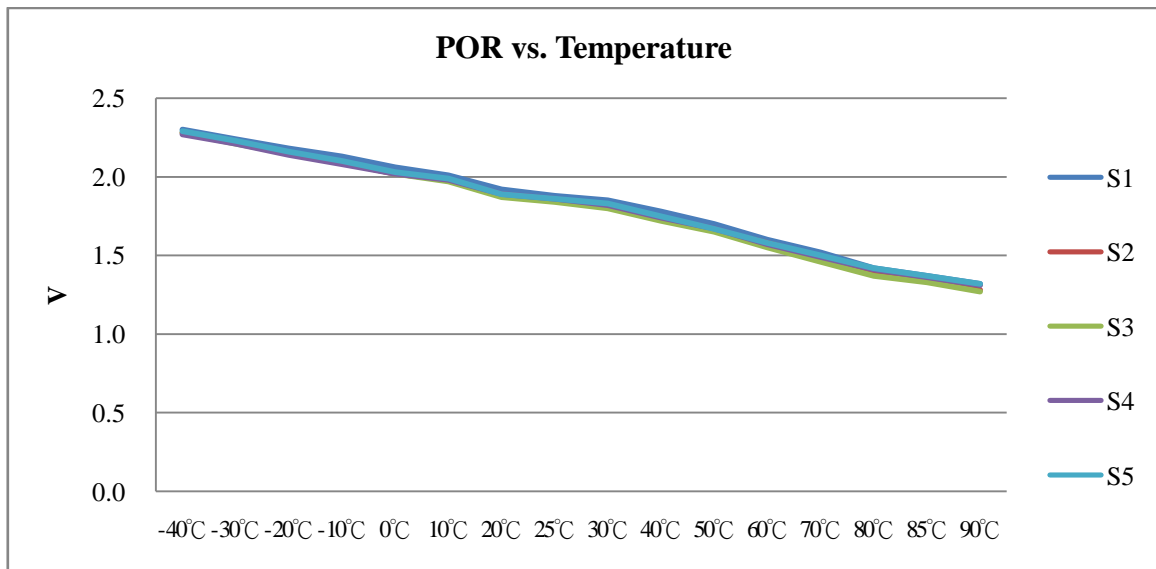
Parameter	Sym	Conditions	Min	Typ	Max	Unit
FRC Clock Frequency	F _{FRC}	V _{BAT} =5V, V _{DD} =3.3V	–	7.38	–	MHz
		V _{BAT} =3V, V _{DD} =3V	–	7.37	–	
		V _{BAT} =2.5V, V _{DD} =2.5V	–	7.33	–	
SRC Clock Frequency	F _{SRC}	V _{DD} =3V	–	80	–	KHz
		V _{DD} =1.5V	–	40	–	





LVR1/POR 电平

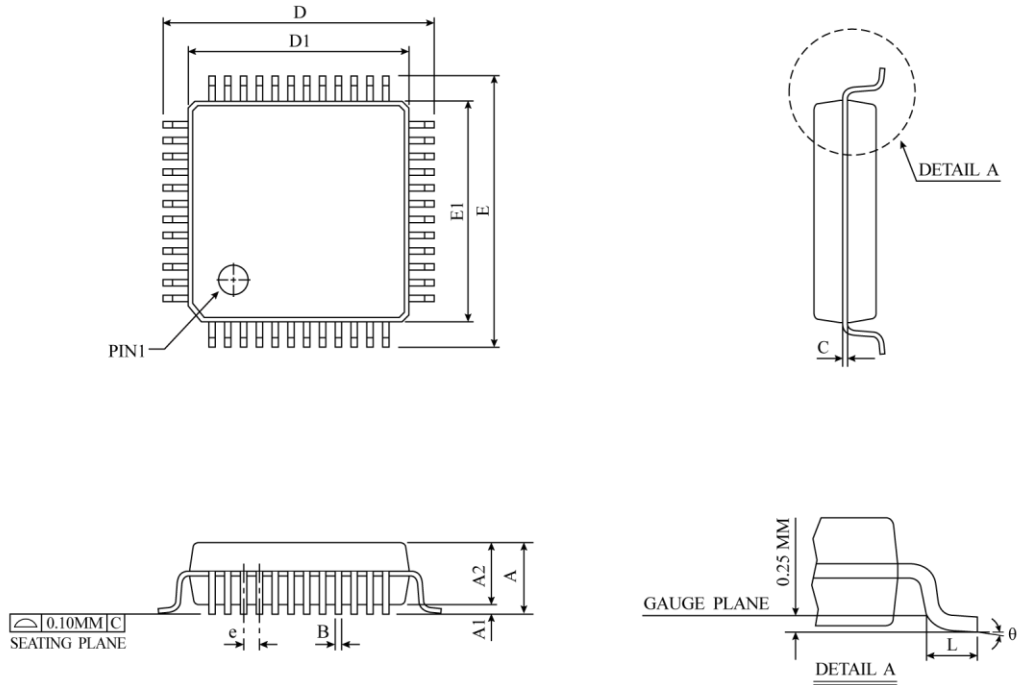
Parameter	Sym	Conditions	Min	Typ	Max	Unit
LVR1 电压电平	V _{LVR}	25°C	1.43	1.58	1.75	V
Power On Reset 电压电平	V _{POR}	25°C	1.6	1.8	2.0	V


 LVR1 與溫度, T_A = -40°C~80°C

 POR 與溫度 (上电复位需 V_{BAT} > V_{POR})

封装说明

订购须知

Ordering number	Package
TM52F2280-MTP	Wafer / Dice blank chip
TM52F2280-COD	Wafer / Dice with code
TM52F2280-MTP-72	LQFP48 pin (7*7*1.4mm)
TM52F2284-MTP	Wafer / Dice blank chip
TM52F2284-COD	Wafer / Dice with code
TM52F2284-MTP-72	LQFP48 pin (7*7*1.4mm)

包装信息
LQFP-48 (7×7mm) Package Dimension


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	1.60	-	-	0.063
A1	0.05	0.10	0.15	0.001	0.004	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
B	0.17	0.22	0.27	0.007	0.009	0.011
C	0.09	0.15	0.20	0.004	0.006	0.008
D	9.00 BSC			0.354 BSC		
D1	7.00 BSC			0.276 BSC		
E	9.00 BSC			0.354 BSC		
E1	7.00 BSC			0.276 BSC		
e	0.50 BSC			0.020 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
θ	0°	3.5°	7°	0°	3.5°	7°
JEDEC	MS-026 (BBC)					

△ *NOTES : DIMENSION "D1" AND "E1" DO NOT INCLUDE MOLD PROTRUSIONS. ALLOWABLE PROTRUSIONS IS 0.25 mm PER SIDE.
 "D1" AND "E1" ARE MAXIMUM PLASTIC BODY SIZE DIMENSIONS INCLUDING MOLD MISMATCH.